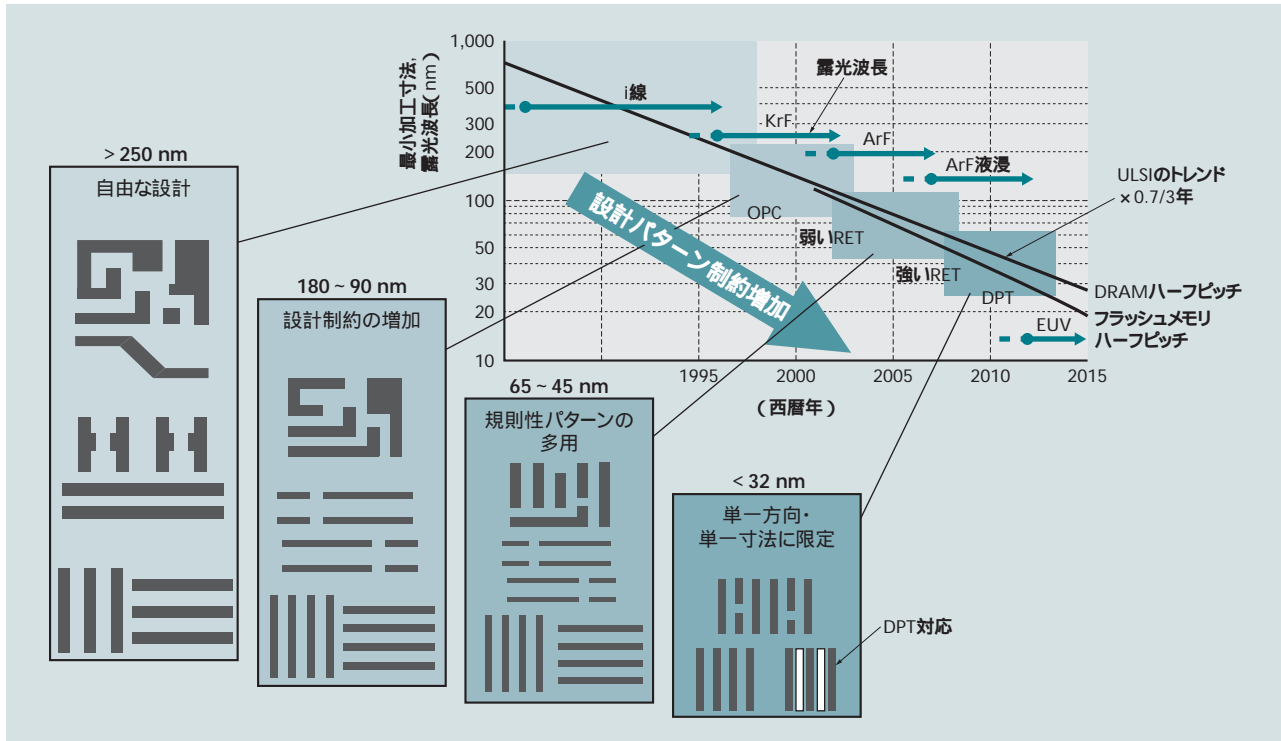


先端デバイス設計とリソグラフィー技術

Layout Design and Lithography Technology for Advanced Devices

堀田 尚二 Shoji Hotta

岡崎 信次 Shinji Okazaki



注:略語説明 OPC(Optical Proximity Effect Correction), RET(Resolution Enhancement Technology), DPT(Double Patterning Technology)
EUV(Extreme Ultra Violet), ULS(Ultra-Large Scale Integration), DRAM(Dynamic Random Access Memory)

図1 微細化とデバイス設計レイアウトの変化

近年、微細化とともに、回路特性だけでなくリソグラフィー特性も考慮した設計技術が必要となってきている。これは、製造性を考慮した設計(DFM: Design for Manufacturability)と呼ばれる技術の一つである。

半導体集積回路に要求される最小寸法はすでに露光波長の半分以下となり、光リソグラフィー技術は実用的な解像限界に近づきつつある。これまで回路設計は、デバイスパラメータや、リソグラフィーなどから要求される設計レイアウトルールに従って行われてきた。一方、リソグラフィーは設計された回路パターンをウェーハ上に忠実に再現することに注力してきた。しかし、45 nmノード、あるいはそれ以降ではLow-kリソグラフィーと呼ばれる領域に入り、パターンのひずみが大きくなったり、製造に必要なプロセス余裕が確保できないといった問題が顕在化してきた。その結果、回路特性だけでなく、リソグラフィー特性も考慮した設計技術が必要となってきている。このような製造性を考慮した設計(DFM)の現状と、今後のさらなる微細化に向けた課題を紹介するとともに、計測技術に対する要求やニーズについても触れる。

1.はじめに

これまで半導体集積回路は、デバイスの微細化によって高性能化・高集積化してきた。しかし、微細化の牽(けん)引車であった光リソグラフィー技術が実用的な解像限界に近づきつつあり、今後はその極限まで解像性能を追求することが求められている¹⁾。回路設計はこれまで、デバイスパラメータや設計レイアウトルールに従い行われてきており、直接リソグラフィー技術を意識する必要はなかった。一方、リソグラフィーは設計された回路パターンをウェーハ上に忠実に再現することに注力してきた。しかし、近年、デバイス回路設計者はレイアウトパターンの回路特性だけでなく、リソグラフィー特性も考慮した設計技術が必要となってきている(図1参照)。これは、DFM(Design for Manufacturability: 製造性を考慮した設計)と呼ばれる技術の一つである。

リソグラフィー技術において、開発は次世代技術であるEUV(Extreme Ultra Violet)リソグラフィーに注力しているが、難度の高い課題が多く、当面の対応は現状の光リソグラフィーを延命せざるを得ない。また、デバイス高性能化のためには微細化だけではなく、ひずみSi, High- k , メタルゲートなどの新しい技術の導入も不可欠である²⁾。

ここでは、光リソグラフィー技術が現在直面している課題と設計側に必要な対応策、DFMの現状と今後の課題、および計測技術に求められる役割とニーズについて述べる。

2. 先端デバイス設計でのDFMの必要性

2.1 微細化に伴う光リソグラフィー技術の課題

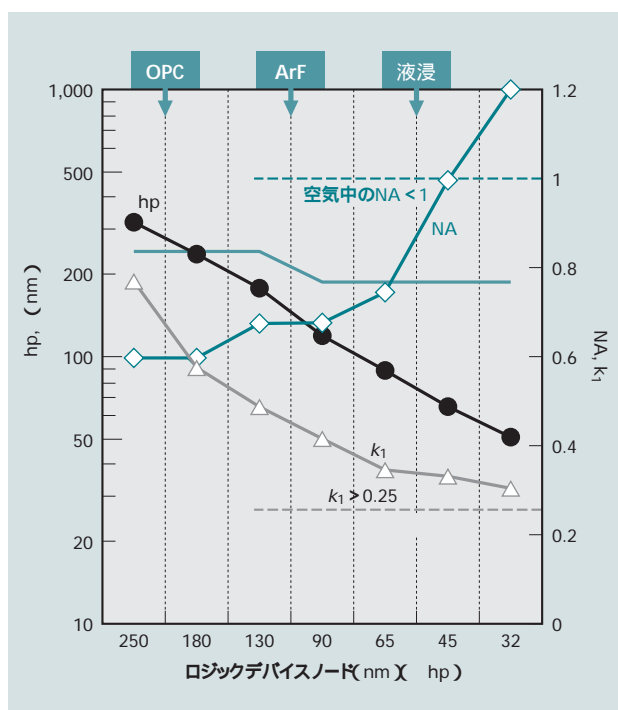
Low- k_1 リソグラフィー

縮小投影露光方式である光リソグラフィーの解像度Rは、以下のレーリーの式で表される³⁾。

$$R = k_1 \times \lambda / NA$$

ここで、 λ は露光波長、NA(Numerical Aperture)は縮小投影光学系のレンズ開口数、また k_1 はプロセスによって決まる比例定数である。 k_1 が小さいほどリソグラフィーが困難であることを意味し、2光束以上の光の干渉によりパターンを形成する投影光学系では k_1 の理論下限は0.25である。

従来は、開発課題を λ , NA, k_1 の三つに分散させることで、効率のかつ最小限のリスクで開発を進めることができた。近年の発表論文から代表的な λ , NA, k_1 の値をプロットして図2



注:略語説明 hp(Half Pitch), NA(Numerical Aperture)

図2 リソグラフィーにおける λ , NA, k_1 のトレンド

微細化は、開発課題を λ , NA, k_1 の三つに分散して推進されてきた。先端デバイスでは k_1 は0.4を下回る状況である。ここで、ロジックデバイスノードはDRAMハーフピッチノードに比べ約一世代先行する。

に示す。この図の横軸に示すロジックデバイスノードは、DRAM(Dynamic Random Access Memory)ハーフピッチ(hp)ノードに比べ、約一世代先行するという関係にある。

露光波長は、現在193 nm ArFエキシマレーザー光が用いられている。さらなる短波長化として、波長157 nmのF₂レーザーが検討されたが、光学材料の開発が非常に難しく、解像度向上効果も小さいため断念された⁴⁾。現在は、次世代以降の技術として、波長がArFの $\frac{1}{10}$ 以下となるEUVリソグラフィー(波長13.5 nm)技術の開発が進められている⁵⁾。

従来の露光方式においてNAは、理論的に1が限界であった。しかし近年、液浸露光技術の開発により1以上のNAが可能となった⁶⁾。これは、光学系最終レンズとウェーハの間に純水を満たして露光する技術であり、NAを~1.35と大きくできる。純水の代わりに高屈折率液体を用いることなどで、NAをさらに大きくすることも検討されているが、材料の課題も多く、実用化のめどは立っていない⁵⁾。

比例定数である k_1 は現状0.4を下回る状況であり、 k_1 , NAの改善が当面期待できない状況では、今後この値をさらに小さくしていくしかない。 k_1 は、形成するウェーハ上パターンのマスクパターンに対する忠実性や、プロセス余裕(PW: Process Windowとも言う)の大きさ・プロセスばらつき感度を表す指標となる。 k_1 とパターン忠実性の関係を図3に示す。 k_1 が0.4程度以下になると著しくパターン忠実性が劣化していく様子がわかる。

k_1 が0.35程度以下の領域は特に忠実なパターン形成が困難となり、Low- k_1 リソグラフィーとも呼ばれる。この領域では(1)マスクパターン忠実性が劣化すること、(2)プロセス余裕が狭く、またマスク製造誤差や露光装置光学誤差などのプロセスばらつきに対する感度が大きいことなどが課題となる。

上記課題を解決するために、リソグラフィーとしては以下の二つの技術(図4参照)の限界を追求することになる。

(1) OPC(Optical Proximity Effect Correction: 光近接効果補正)⁷⁾: 転写パターン形状が設計パターン形状にできるだけ近づくようにマスクパターン形状を補正する技術である。その例を図4(a)に示す。

(2) RET(Resolution Enhancement Technology: 解像度向上

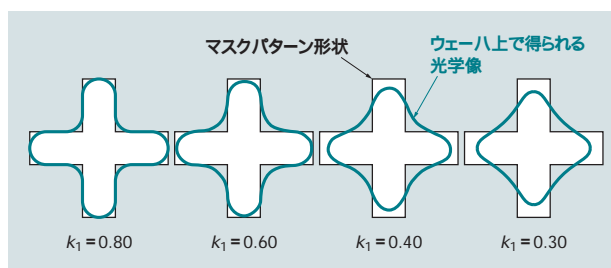


図3 k_1 の低下に伴うパターン忠実性の劣化
 k_1 が0.4程度からパターン忠実性が急激に劣化する。

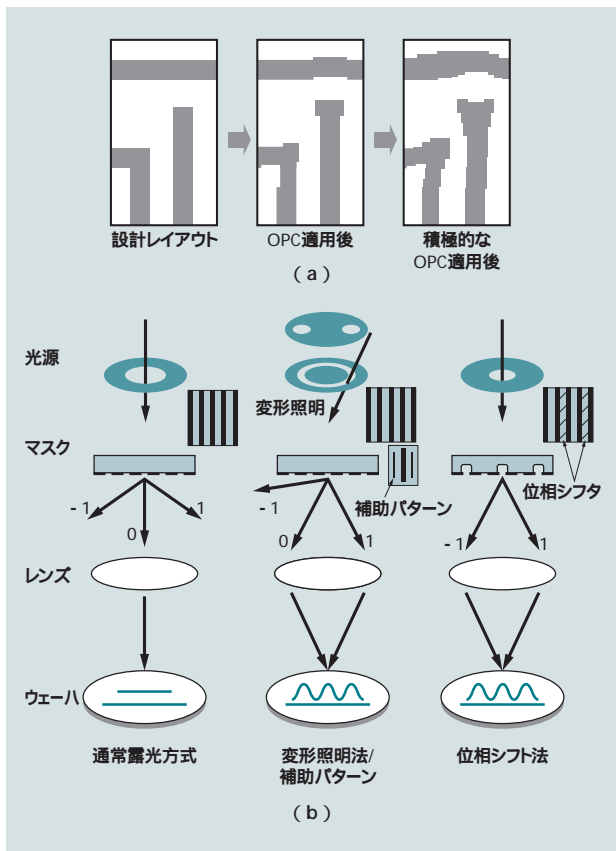


図4 OPC (光近接効果補正) とRET (解像度向上技術) OPCの適用例(a)に、各種RET (変形照明法, 補助パターン付加, 位相シフト法) の原理説明例(b)に示す。

技術⑧: 変形照明法, 補助パターン付加, 位相シフト法などにより解像度を向上しプロセス余裕を拡大する技術である。その例を原理とともに図4(b)に示す。解像度を大きく向上するには厳しいパターン制約が必要になる。

k_1 を理論限界である0.25以下に小さくする技術も提案されている。ダブルパターニング技術がそれである⁹⁾。これは、図5に示すように微細ピッチ部を2分割し、別々にパターンを形成する技術である。 k_1 を0.25以下にできる可能性はあるが、パターン分割・再接続, 高精度位置合わせ, プロセスコスト増大といった課題も多い。

2.2 Low- k_1 リソグラフィーで顕在化する課題

Low- k_1 リソグラフィーでは、RETの効果を強く引き出すためにより多くのパターン制約が必要となる。パターン制約は、これまで設計レイアウトルールに組み込まれ、デバイス回路設計者はそれに基づいて設計していた。微細化とともに設計制約は増加し、45 nm世代では180 nm世代と比較して設計レイアウトルール数が約3倍に増えているという報告もある¹⁰⁾。RETがより多くのパターン制約を強要し、OPCがより複雑になり、影響を及ぼす周辺パターン領域が相対的に広がってきた結果である。

また、Low- k_1 では二次元形状の変形が大きく、図6(a)に示

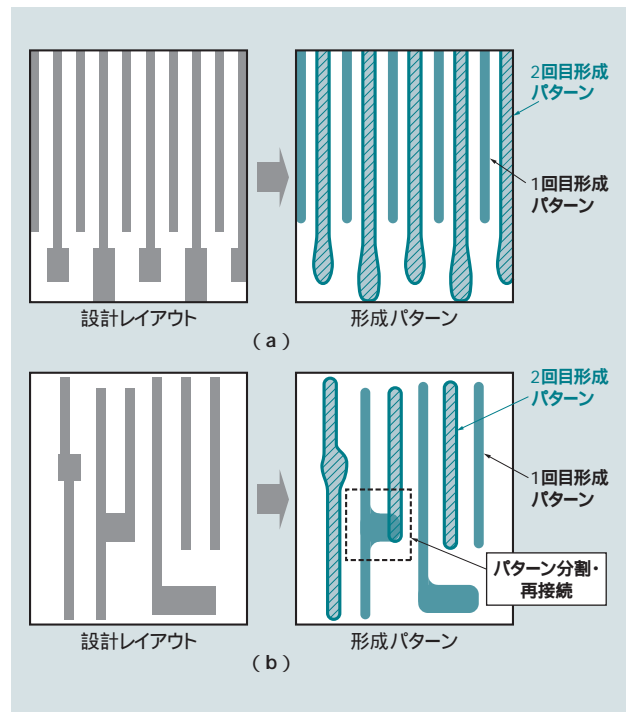


図5 ダブルパターニング技術の適用例 メモリパターンの例(a)に、ロジックパターンの例(b)に示す。ダブルパターニングでは、微細ピッチ部を2分割して、別々にパターン形成する。パターン分割・再接続, 2回のパターンの位置合わせ精度, およびプロセスコスト増大が新たな設計・プロセス技術課題となる。

すようにゲート層パターンが曲がっている個所では複雑なOPCを駆使しても設計から大きくずれてしまう。このような個所がデバイスの拡散層領域内に存在すると、デバイス性能に影響を与えてしまう¹¹⁾。ゲート層パターンの曲がった部分は拡散層領域から十分に離すか、より単純で直線的な回路レイアウトにする必要がある。

さらに、Low- k_1 リソグラフィーではプロセス余裕が狭くなるため、製造に必要な余裕が確保できているかを実際のレイアウトパターンで検証しておく必要がある¹²⁾。製造時のプロセス管理を厳しくするとともに、設計側にもプロセス余裕を考慮した回路設計が求められる。主要なプロセス変動要因として、リソグラフィーの露光量と焦点位置が挙げられ、さらにマスクの製造誤差の考慮も必須になりつつある。実際のレイアウトパターンでプロセス余裕が不足してしまった例を図6(b)に示す。

このように、許容できない二次元パターン形状の変形が拡散層領域内で発生したり、プロセス余裕が不足してしまう特定レイアウト個所は、システムティック欠陥あるいはホットスポットと呼ばれる。従来のランダム欠陥とは異なり、システムティック欠陥が一つあっただけで製造歩留りを著しく低下させてしまうことになる。

2.3 システムティック欠陥の検出とDFMIによる解決

システムティック欠陥の多くは、複雑な実レイアウトパターンとRETの種類組み合わせにより発生するため、事前にルー

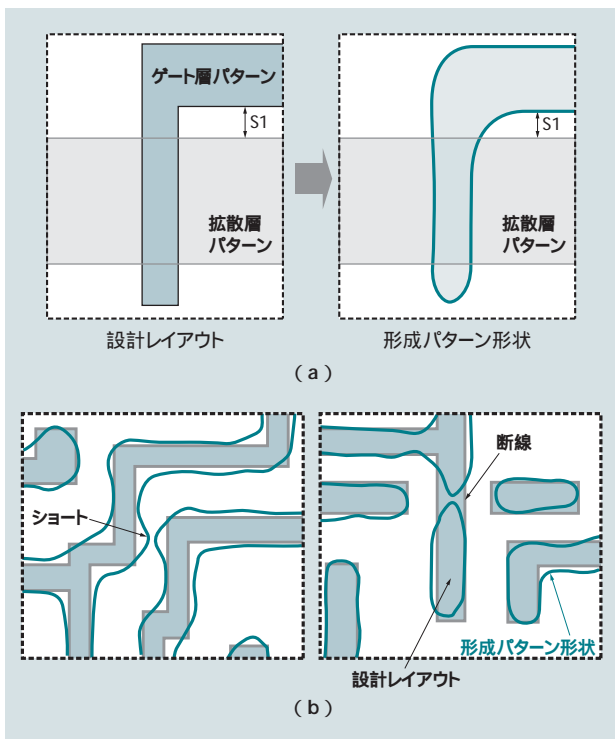
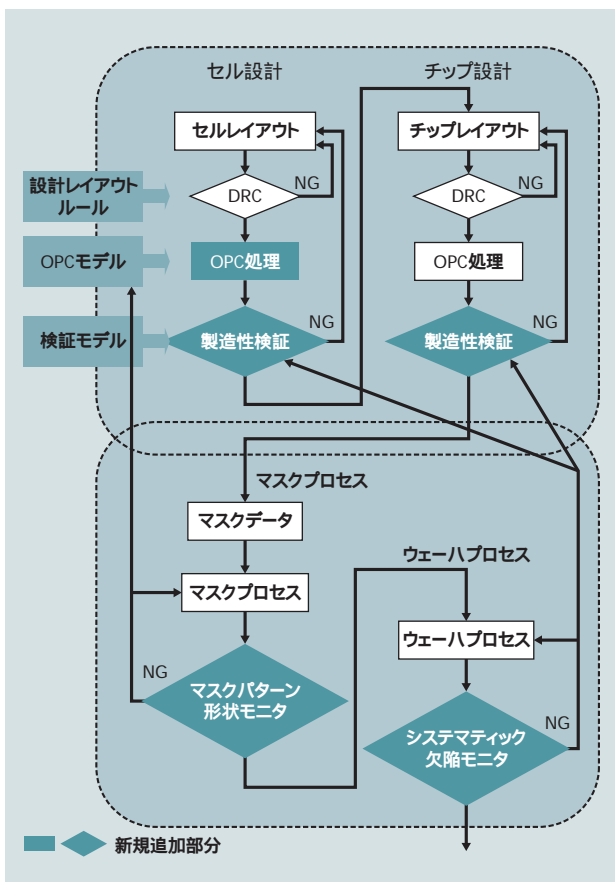


図6 システマティック欠陥の例
 ゲート層パターンが曲がっている部分での二次元形状変形により発生する例を(a)に示す。S1が短い場合に問題となる。プロセス余裕不足によって発生するパターンのショート・断線の例を(b)に示す。

ル化して防ぐことは困難である。そこで、シミュレーションを駆使したシステマティック欠陥の検出が検討されている。光学像計算をベースにしたモデル計算と高速演算処理の進展により、現在ではかなりの精度でシステマティック欠陥を検出できるようになった。これはComputational Lithography(計算機リソグラフィ)とも呼ばれ、シミュレーションによる形状予測・プロセス最適化の積極的な活用である。今後も、Low- k リソグラフィの追求および設計技術とのインテグレーションのためには、シミュレーションの精度向上が重要となる。

製造性を考慮したデバイス回路設計フローの例を図7に示す¹³⁾。従来のDRC(Design Rule Check: 設計レイアウトルール検証)に加えて、チップ上すべてのレイアウトパターンが製造に必要なプロセス余裕を確保できているかシミュレーションにより検証(製造性検証)される。もし、システマティック欠陥が発見されれば、それらがすべて除去されるまでレイアウト修正とそれに伴う回路検証・製造性検証が繰り返される。もはや設計技術とリソグラフィ技術は切り離すことができなくなっている。

また、レイアウト修正に関して、設計初期段階では自由度が高いが、設計最終段階では修正が困難になってしまうことも多い。したがって、初期のセル設計段階から製造性検証を活用していくことが重要である。



注:略語説明 DR(Design Rule Check), NG(No Good)
図7 製造性考慮デバイス回路設計フロー
 セル設計およびチップ設計段階で製造性検証を実施し、システマティック欠陥を除去する。検証でシステマティック欠陥が発見されれば、レイアウト修正とそれに伴う回路検証・製造性検証を繰り返す。

3 .DFMの現状と今後の課題

3.1 DFM対応設計ツールの現状

図7のようなDFMを製品上で実現できるかは、設計ツール〔以下、EDA(Electronic Design Automation)ツールと言う。〕が鍵となる。EDAツールには、設計とリソグラフィをつなぐ役割が求められ、DRCやマスクデータ作成といった従来機能に加えて、OPC、製造性検証、あるいはシステマティック欠陥自動

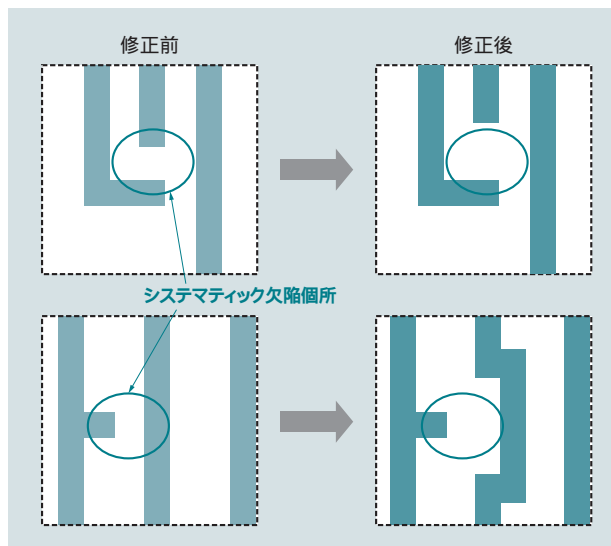


図8 EDAツールによるシステマティック欠陥修正例
 システマティック欠陥をEDA(Electronic Design Automation)ツールを用いて自動修正できるようになってきた。

修正といった新規機能が要求されている。

こうした新規機能には、(1)チップレベルでの大規模データ処理、(2)モデル精度を含めた高い計算精度、(3)短い処理時間の三つが要求される。既存のEDAツールベンダーに加えて、新規機能部分に特化した新規EDAツールベンダーも数多く現れ、また半導体メーカーとの協業も盛んになり、これら新規機能も急速に実用化が進んでいる。

現状EDAツールで可能なシステムティック欠陥修正例を図8に示す。自動的なレイアウト修正や、複数の修正候補の表示で、設計者の負担が大幅に軽減されるようになった。処理時間も、65 nmノードASIC(Application Specific Integrated Circuit)デバイス(12 mm²)ゲート層で、約2,500か所のシステムティック欠陥を自動修正した結果、約100分で94%の欠陥を自動修正できたとの報告もあり¹⁴⁾、製品適用可能なレベルに達している。

3.2 システムティック欠陥の管理

これまで述べたように、システムティック欠陥は、理想的には設計段階で完全に排除され、製造段階まで持ち込まれないことが望ましい。しかし、製造性検証では考慮しきれなかったプロセスパラメータの変動により、製造段階になって顕在化する欠陥もある。例えば、露光装置固有のレンズ収差や光学パラメータの装置機差の問題が挙げられる¹⁵⁾。これまで用いていた装置では問題がなかったが、別の装置に展開したとたんに欠陥が発生した場合がこれに該当する。

これらの欠陥を防止するには、あらかじめ「潜在的なシステムティック欠陥まで抽出し、それらも含めて設計段階で除去しておくことが望まれる。そのためには、より広い露光量・焦点位置などのプロセス余裕に対して製造性検証を実施することや、実際のレンズ収差データなどを用いて、必要なプロセス余裕を検証していく必要がある。

さらに、製造段階では潜在的なシステムティック欠陥をモニタしていく必要があり、高精度二次元形状計測技術が重要となる。二次元形状情報は、プロセス条件決定時やAPC (Advanced Process Control)による条件修正に活用される。

3.3 今後の取り組み

システムティック欠陥の対策には、製造性検証のモデル精度やOPC精度の向上が今後ますます重要となる。これまで理想形状を仮定していたマスクパターンについても、今後は実際のマスクパターン寸法・形状を用いて計算精度を向上させることが検討されている¹⁶⁾。また、製造プロセスにはさらなる装置機差の低減、レンズ収差の低減、およびプロセス管理の強化が求められる。

前述したダブルパターンニング技術では、パターン分割や再

接続、高精度位置合わせといった新たな設計・プロセス技術課題も出現してくると考えられる。

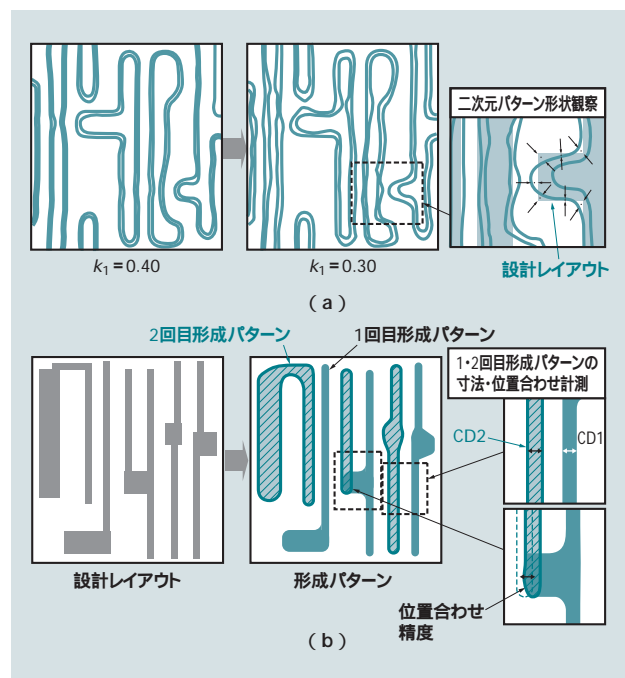
また、リソグラフィー関連以外にも以下のようなDFMが検討されている。

- (1) ランダム欠陥対応DFM¹⁷⁾:CAA(Critical Area Analysis)を通じた製造歩留りとチップ面積のトレードオフを最適化し、ライン幅やスペース幅を最適化するもの
- (2) Electrical DFM¹⁸⁾:実パターン二次元形状を考慮し、個々のデバイス電気特性を補正したうえで、回路のタイミング検証・DFMを行うもの
- (3) モデルベースダミーパターン生成¹⁷⁾:CMP(Chemical Mechanical Polishing)プロセスでの平坦性向上に、モデルベース計算により最適メタルダミーパターンを計算し、挿入するもの

4 .計測技術に対する要求やニーズ

DFMにおける製造性検証およびOPCの要求精度は1 nmのオーダーに達しつつあり、これらの精度向上には計測精度の向上が不可欠である。システムティック欠陥観察や、OPC・検証モデル高精度化、さらにマスク上パターン形状観察においては二次元形状計測ニーズが高まってきている。また、高精度化に伴うデータ数増加に対処するため、レシピ作成作業の簡略化も重要である。

このように計測技術は、Low- k_1 リソグラフィーの基盤技術であり、DFMにおいてはEDAツールとともに設計とリソグラフィー



注:略語説明 CD(Critical Dimension)

図9 今後の計測技術課題

二次元形状計測技術の例(a)に、ダブルパターンニング対応計測技術の例を(b)に示す。

をつなぐ重要な役割を担っている。

またダブルパターニング技術では、二度のパターン形成それぞれの寸法と位置を高精度に計測する技術が必要となる。特に、分割したパターン間の位置合わせ精度は3 nm以下が要求されると考えられており、厳しい計測精度が要求される¹⁹⁾。このような新規の計測技術課題を図9に示す。

5. おわりに

ここでは、光リソグラフィー技術における現在の課題と設計側に必要な対応策、DFMの現状と今後の課題、および計測技術に求められる役割とニーズについて述べた。

45 nm世代以降の半導体集積回路実現には、Low-*k*リソグラフィーの実用化が重要となる。これに関しては、システムティック欠陥の対策やDFMが課題であり、設計とリソグラフィーは不可分の関係となる。また計測技術が重要な役割を担う。

DFMはようやく実用化にこぎつけたところであり、今後も継続して改良や高精度化が必要である。計測技術に対する要求も、従来の二次元計測から二次元計測へと変化してきている。高精度化に加え、新たなニーズへの対応が重要である。

今後のリソグラフィー技術では、EUVへの橋渡しとしてダブルパターニング技術への期待も大きく、新たな技術課題も予想される。微細化の鍵を握るリソグラフィーの技術動向を注視し、次世代ニーズを先取りしていくとともに計測技術、およびそのアプリケーション技術の研究開発を推進していきたい。

執筆者紹介



堀田 尚二
1994年日立製作所入社、中央研究所 先端技術研究部 所属
現在、計測装置のアプリケーション研究開発に従事
SPIE会員

参考文献

- 1) 岡崎:リソグラフィー技術の将来展望, 応用物理, 第75巻, 第11号, p.1328(2006)
- 2) 久本, 外:シリコン半導体デバイスの展望, 日立評論, 89, 4, 324 ~ 331 (2007.4)
- 3) J. Sheats and B. Smith: Microlithography: Science and Technology, Marceck Dekker, Inc.(1998) etc.
- 4) T. M. Bloomstein, et al.: Lithography with 157 nm lasers, J. Vac. Sci. & Technol. B15, 2112(1997)
- 5) 半導体技術ロードマップ専門委員会, 2006年度 WG5報告など
- 6) S. Owa, et al.: Immersion lithography: its potential performance and issues, Proc. SPIE 5040, p.724(2003)
- 7) N. Cobb, et al.: Dense OPC and verification for 45 nm, Proc. SPIE 6154, 61540(2006)
- 8) F. Schellenberg: Resolution Enhancement Technology: The Past, the Present, and Extensions for the Future, Proc. SPIE 5377, p.1 (2004)
- 9) V. Wiaux, et al.: 193 nm Immersion Lithography towards 32 nm hp using Double Patterning, 3rd International Symposium on Immersion Lithography(2006)
- 10) C. Webb: Layout Rule Trends and Affect upon CPU Design, Proc. SPIE 6156, 615602(2006)
- 11) M. Mason: DFM EDA Technology: A Lithographic Perspective, VLSI Symp., p.9(2007)
- 12) S. Kobayashi, et al.: Automated Hot-Spot Fixing System Applied for Metal Layers of 65 nm Logic Devices, Proc. SPIE 6283, 62830R (2006)
- 13) K. Hashimoto, et al.: Hot Spot Management on Ultra-low *k*₁ Lithography, Proc. SPIE 6156, 61560N(2006)
- 14) S. Kobayashi, et al.: Process Window Aware Layout Optimization Using Hot Spot Fixing System, Proc. SPIE 6521, 65210B(2007)
- 15) S. Usui, et al.: Hot Spot-based Judgment Methodology for High-end Photomask Availability for Any Exposure Tools, Proc. SPIE 6283, 62832J(2006)
- 16) F. Foussadier, et al.: Model-based mask verification, Proc. SPIE 6730, 673051(2007)
- 17) 西口: 設計からの歩留まり向上アプローチ, ISTF 2007リソグラフィ計測・検査セッション(2007)
- 18) Y. Cheng, et al.: Patterning effect and correlated electrical model of post-OPC MOSFET devices, Proc. SPIE 6521, 65210G (2007)
- 19) M. Dusa, et al.: Pitch Doubling Through Dual Patterning Lithography Challenges in Integration and Litho Budgets, Proc. SPIE 6520, 65200C(2007)



岡崎 信次
1970年日立製作所入社、中央研究所 先端技術研究部 所属
現在、リソグラフィー技術関連の計測技術の研究開発に従事
工学博士
IEEE Fellow, SPIE Fellow, 応用物理学会会員, 電子情報通信学会会員