

## professional report

# ディペンダブル(高信頼化)システム技術への日立の取り組み

## Hitachi's Approach for Dependable System Technology

金川 信康 Nobuyasu Kanekawa 伊部 英史 Hidefumi ( Eishi )Ibe

日立のディペンダブル(高信頼化)システム技術の源泉は鉄道,原子力分野で培われ,多くの産業分野において応用実績を重ね,チップ内冗長高安全プロセッサに引き継がれようとしている。

これは,カバレッジ(いかに多くの種類・数の故障,障害に対応できるか)を考慮し,「高信頼化のための仕掛け」自体の信頼性を高めることを追求し,高い信頼性,安全性の実現をめざす技術である。さらに,特にLSI技術との親和性に配慮して開発した技術で,量産による低価格化が期待できる。また自律分散システムは,一般産業用途に加えて,自動車などの制御対象が大域的に分散している応用分野で特に真価を発揮するものである。

本稿では,こうした日立におけるディペンダブルシステム技術への取り組みについて述べる。

金川 信康  
1987年日立製作所入社  
日立研究所 情報制御第三研究部 所属  
現在,各種ディペンダブルシステム技術の研究開発に従事  
工学博士  
電子情報通信学会会員,電気学会会員,  
IEEE会員,IFIP WG.10.4メンバー



伊部 英史  
1975年日立製作所入社  
生産技術研究所 所属  
現在,半導体デバイスの環境放射線エ  
ラー研究に従事  
工学博士  
応用物理学会会員,IEEE会員,IEEEフェ  
ロー



## 1 はじめに

### 1.1 ディペンダブルシステム技術

表題に「ディペンダブル」という耳慣れない言葉が登場しているが,これは,単なる「高信頼」という意味にとどまらず,高い信頼性/安全性/堅牢(ろう)性を有するという意味である。

システムを高信頼化するために,故障時に備えて構成要素をあらかじめ冗長に用意しておくフォールトトレランス(障害許容)技術が実際に使われるようになって久しい。そうした中でフォールトトレランス技術の扱うReliabilityという意味が多岐にわたってきたため,1985年にJ.C.Laprieはさらに広い概念としてDependabilityという用語を提唱した<sup>1)</sup>。これを受けて今日までに,各方面でDependability, Dependableという言葉が使われてきている。こうした背景を受けて筆者も内外のディペンダブルシステム技術に関する委員会に所属しており,「ディペンダ

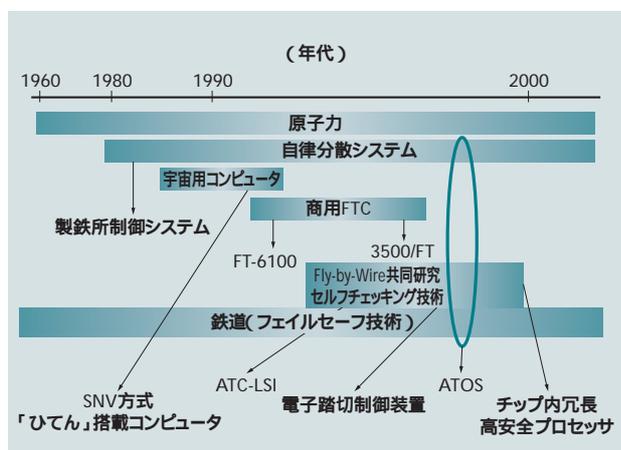
ブル」という言葉を普及させることも使命の一つと心得て,本稿でもあえて使用させていただいた。

### 1.2 日立の取り組み

日立のディペンダブルシステム技術への年代ごとの取り組みを図1に示す。日立のディペンダブルシステム技術の源泉は,絶対的な安全性が要求され独自のフェイルセーフ技術が確立されてきた鉄道分野と,同じく安全性が要求される原子力分野にあると言える。

1970年代後半になると,自律分散<sup>2)</sup>という独自コンセプトを打ち立て,国内大手製鉄所に納入したのを皮切りに,表1に示すように列車運行管理システム(ATOS: Autonomous Decentralized Transport Operation Control System)<sup>3)</sup>をはじめ,多くの分野に適用されてきている。

鉄道,原子力以外の分野で,システムの無停止を特に意識した製品は1991年に打ち上げられた「ひてん」<sup>4)</sup>搭載コンピュータに始まり,国産初のフォールトトレラン



注：略語説明 SNV( Stepwise Negotiating Voting ), ATC( Automatic Train Control ), LSI( Large-scale Integration ), FTC( Fault-tolerant Computer ), ATOS( Autonomous Decentralized Transport Operation Control System )

図1 日立のディベンダブルシステム技術への取り組み  
日立のディベンダブルシステム技術の源泉は鉄道，原子力分野で培った技術にあり，チップ内冗長高安全プロセッサに受け継がれている。

表1 自律分散システムの適用分野  
自律分散システムの歴史と幅広い適用分野における内容を示す。

歴史	1977年	開発着手，国内大手製鉄所に納入
	1993年	オープン自律分散システム製品化
	1996年	ネットワーク仕様を公開，標準化推進
適用	分野	内容
	交通システム	列車運行管理システム(ATOS), 道路管制システム, ETCシステム
	電力システム	電力管理システム, 発電システム, 原子力システム
	産業システム	自動車生産管理, 鉄鋼システム, 物流管理, 新聞製作工程管理システム, エネルギー(ガスなど)システムなど
	その他	上下水道システムなど

注：略語説明 ETC ( Electronic Toll Collection System )

トコンピュータ「HITAC FT-6100」<sup>5)</sup>，高可用性を追求した各種組み込みコントローラ，サーバへと引き継がれた。

1990年代半ばには航空機メーカー，アビオニクス(航空機用電子機器)メーカーとのFly-by-Wireに関する共同研究を進め，安全性を確保するためにカバレッジをいかに高めるかということに注力した。カバレッジとは，高信頼システムがいかに多くの種類・数の故障，障害に対応できるかを示す指針で，これを究めるためには，最後には「高信頼化のための仕掛け」自体の信頼性を高めることが求められる。こうして培われた究極の高信頼化技術はATC( Automatic Train Control )用LSI( Large-scale Integration )を皮切りに，電子踏切制御装置などの鉄道制御システムに適用された。こうした技術は，シンセサイザブル技術と組み合わせてLSI内に実現するチップ内冗長高安全プロセッサの開発にもつながっている。当時は，カバレッジという概念があまり一般的ではなかったが，後に制定さ

れる機能安全規格IEC61508に取り入れられて一般化してきている。

### 1.3 自律分散システム

自律分散とは，システムを構成するノードの機能を生物の細胞の機能に見立てたもので，各ノードに(1)自分を律するのに必要な情報とインテリジェント性，(2)互いの自律性を損なわずに情報共有により協調する機能を持たせた技術である。これらのノードは，ブロードキャストによる情報共有機能と情報の有効性検証機能を持つ自律分散データフィールドサブシステムの段階構築において，可能投資計画に合わせて柔軟に工事計画を立て，局部障害による全体システムへの波及を極小化することができる。

### 1.4 宇宙用コンピュータ

宇宙で使用される電子機器には，宇宙線などの影響でソフトエラーと呼ばれる一過性のエラーが頻発するほか，温度，振動など過酷な環境下にさらされるうえ，打ち上げ後は修理が不可能であるため，高い信頼性が必要である。この開発では限られた冗長資源を使っていかに効率的に信頼性を高めるかが課題であった。

新たに開発したSNV( Stepwise Negotiating Voting )方式<sup>6)</sup>では，冗長化したコンピュータそれぞれの信頼度を検査結果から推定し，最も信頼度の高いコンピュータの出力を選択することにより，限られたハードウェアで，より高い信頼性を得ることが可能となった。この方式によるコンピュータは1991年に打ち上げられた宇宙科学研究所(現 独立行政法人宇宙航空研究開発機構 宇宙科学研究本部)の衛星「ひてん」に搭載され，3年半にわたる期間 正常動作を続けてその任務を完遂した。

### 1.5 無停止型コンピュータ

1980年代末，米国では専門メーカー各社が商用の無停止型コンピュータを商品化し，大きな成功を収めていた。国内でもコンピュータシステムの大規模化，グローバル化に伴い，電力などの分野を中心に，システムの24時間無停止連続運転やオンライン拡張が求められてきた。こうした中で1991年，無停止連続運転とオンライン拡張を可能とする小型・高速無停止TRP( Triple Processor Check Redundancy )方式を開発し，HITAC FT-6100<sup>5)</sup>として量産開始した。当時，新聞各紙には「国産初のフォールトトレラントコンピュータ」と報じられた。

この方式では，小型化と高速化のためにCPU( Central Processing Unit )ボード内に高密度実装された三つのプロ

セッサが同一の処理を実行し、一つのプロセッサに障害が発生してもこれを瞬時に切り離し、残り二つのプロセッサで処理を継続する。また、CPUボードのマルチ化により、障害CPUボードのジョブを他のCPUボードに移動し、オンラインで障害CPUボードを保守・交換できるようにした<sup>7)</sup>。ここで培われたディペンダブルシステム技術は日立クリエイティブサーバ3500のフォールトトレラントモデルである3500/FTにも継承されている。

## 2 宇宙線によるソフトウェア

### 2.1 半導体の微細化とソフトウェア発生

さまざまな技術的限界から何度も限界説が出てきたムーアの法則<sup>8)</sup> 1) は今なお健在であり、半導体の微細化はとどまるどころか、むしろ数々の技術革新により加速されてきている。半導体プロセスサイズが0.1 μm (100 nm) を切るようになると、μmであった単位がいつの間にかnmになり、図2に示すように年を追うごとに90 nm, 70 nm, 45 nmと微細化が進んでいる。このような微細化により、臨界電荷量(データの反転を引き起こすために必要な電荷量)減少、電源電圧の低下によりソフトウェア(シングルイベントアップセット)と呼ばれるデータエラーが発生しやすくなってきている。

宇宙空間で宇宙線によるソフトウェアが発生することは古くから知られており、前述の「ひてん」搭載コンピュータでも太陽フレア(太陽表面での爆発)直後には、図3に示すようにソフトウェアが連続発生している<sup>9)</sup>。しかし地上ではパッケージ材料の放射性同位元素から放射されるアルファ線により起こると考えられていた。半導体のいっそうの微細化に伴い、パッケージ外、さらには宇宙線(特に中性子が気体などの原子に衝突して発生する二次宇宙線)により発生することが危惧(ぐ)されていたが<sup>10)</sup>,

1) 半導体の集積度は1.5~2年で倍になるという経験則

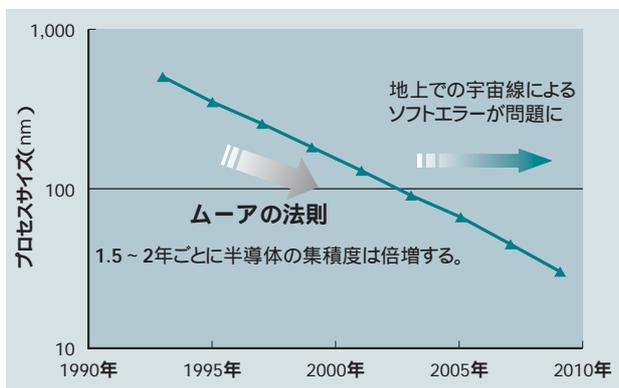


図2 半導体微細化の流れ  
ムーアの法則により1.5~2年ごとに半導体の集積度は倍増し、地上での宇宙線によるソフトウェアが問題になってきている。

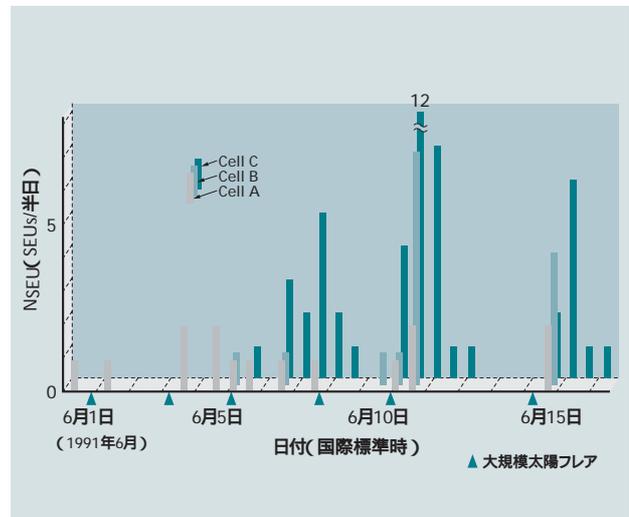


図3 太陽フレア発生とソフトウェアの連続発生<sup>9)</sup>  
太陽フレア発生直後は放出される荷電粒子により、宇宙空間に置かれた電子機器ではエラーが連続発生する。

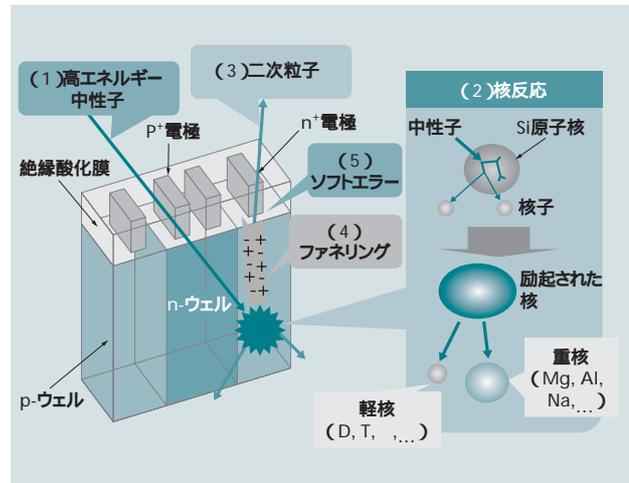


図4 CMOS-SRAMの構造例と中性子ソフトウェアの典型的メカニズム  
SRAM (Static Random Access Memory) を構成する元素と高エネルギー中性子が核反応 (Spallation) を起こし、発生した二次イオンがストレージノードを通過すると、イオンの飛跡に沿って発生した電子がノードに収集され、データが反転、ソフトウェアとなる。

近年になって現実のものとなった<sup>11)</sup>。

図4のSRAM(Static Random Access Memory)の構造図に示すように、地上に到達したきわめて高いエネルギーを有する中性子がデバイスを構成する原子核内に突入すると核内の核子(中性子、陽子)が衝突を繰り返す、特に高いエネルギーを持った核子は核外に放出される。

核子が核外に飛び出すだけの運動エネルギーを持ち得ない状態になると、励起状態にある残留原子核から陽子、中性子、重陽子、アルファ粒子などの軽粒子が蒸発する過程が続き、最終的に残留核も反挑エネルギーを持つため、これらの二次粒子はすべてその飛行に見合った距離デバイスの中を飛ぶことになる。

電荷を持った二次イオンがSRAMの「high」状態にあるストレージノードの空乏層を通過するとアルファ線ソフ

トエラー同様ファネリング<sup>2)</sup>メカニズムによってストレージノードに電荷が収集され、臨界電荷量以上の電荷が収集されると「high」状態が「low」状態に推移し、ソフトエラーになる。

一方、ムーアの法則により、システムが有するメモリ容量が増加してきた。たとえ、メモリの1ビット当たり、単位時間当たりのソフトエラー率が同じとしても、システムを構成するメモリ中でデータが反転する頻度はシステムが有するメモリ容量に比例して増加している。つまり、先に述べた微細化によるソフトエラー発生率の増加と、メモリ総容量の増加が相まって、宇宙線によるソフトエラーの影響を大きくしているのである。

2) 粒子の通過により、半導体内部に自由電子と正孔が生成される現象

## 2.2 マルチセルアップセット(MCU)モードの顕在化

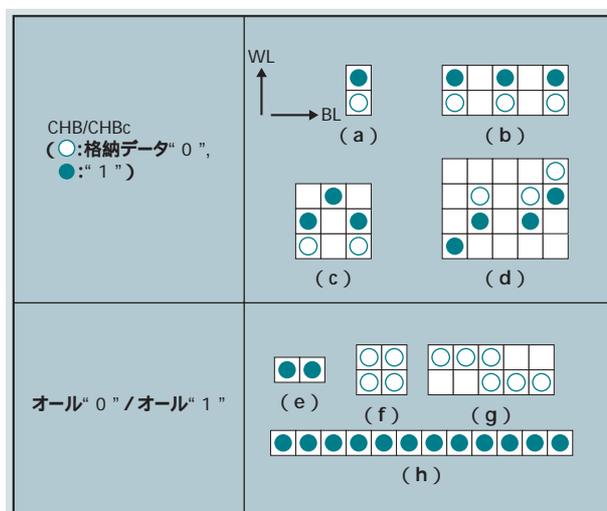
100 nm前後に至るSRAMの微細化に伴い、前述の「電荷収集型」のメカニズムでは説明できないモードが多数報告されるようになってきた<sup>12)~14)</sup>。SEL(Single Event Latch-up)<sup>15),16)</sup>はその代表例で、米国の標準JESD89-31<sup>17)</sup>では、書き換えができないエラーである。パワーサイクル(電源再立ち上げ)で修復するエラーを指し、発火したり、溶断したりしたハードエラーの色合いの濃い旧来のラッチアップとは別物である。

書き換えはできないが、リセットで修復するメモリのエラーモードがあり、これはSEFI(Single Event Functional Interrupt)と呼ばれ、周辺回路のエラーと考えられている。SELもSEFIもマルチセルアップセット(MCU: Multi-cell Upset)であり、1回のイベントで複数のビットがエラーになる現象である。実用上ECC(Error Correction Code)が効かない致命性の高い同一ワードの多ビットエラーはマルチビットエラー(MBE: Multi-bit Error)と呼ばれ、MCUと区別することが現在の世界標準であることを付記したい<sup>18), 19)</sup>。

今回、われわれはSELでもSEFIでもなく、書き換えができるが、SELのように電流の増加を伴うモードを見いだし、メカニズムを明らかにしたうえでMCBI(Multi-coupled Bipolar Interaction)と名付けた<sup>20), 21)</sup>。

実際に現れたMCUのパターン例を図5に示す。

データパターンによって大きく様子が異なることがわかる。グループA(CHB, CHBc: データ「1」, 「0」が交互に並ぶ。)では、初期データ「1」, 「0」の組みでWL(ワード線: データの読み書きのアドレスを指定する信号線)方向に2ビット隣接してエラーになるケースが基本で、BL(ビット線: データの出し入れを実行する信号線)方向に



注: 略語説明 CHB(Checker Board), CHBc(Checker Board Complement)

図5 マルチセルアップセット(MCU)の典型的エラービットパターン

縦(WL: ワード線)横(BL: ビット線)の升目の中の円が発生したエラーの位置を示す。データパターンによって、エラーの配置が大きく変わる。

それが1ビット置きに並ぶのが特徴である。一方、グループB(オール「0」またはオール「1」)では、WL方向には、1ビットだけがほとんどで、BL方向に一直線(最大12ビット)に並ぶのが特徴である。

クラスター状のMCUはほとんどグループAのみに現れる。

## 2.3 MCU問題の広がり

当グループの発表の後、MCBIモードの存在はTI社(Texas Instruments, Inc.)<sup>13)</sup>、SONY(ソニー株式会社)<sup>14)</sup>などから追認されており、MCU問題はCMOS(Complementary Metal Oxide Semiconductor)共通の問題として広く認知されつつある。ロジック系でのHBD(Harden by Design)技術の代表例として基本的に放射線に対して免疫性があるとされてきたフリップフロップであるDICE(double)では、1段の論理素子が二つのノードで構成され、そのノードが同時に書き換えられないと、現在の状態を維持するようになっている。ところが、仮にそのノードが同じウェル内に近接して配置されていればMCBIあるいは通常の電荷分配でも、ノードの同時書き換えが起こりエラーとなる。Seifertらは、DICEが32 nm時代を迎え、ノード間の間隔がきわめて近くなると、無対策のフリップフロップと同程度のエラー耐性になることをシミュレーションにより警告した<sup>22)</sup>。さらに、FPGA(Field Programmable Gate Array)で構成されたTMR(Triple Module Redundancy)、DMR(Double Module Redundancy)などの冗長系でも、電荷分配により効果が損なわれる例の報告が相次いでいる<sup>23), 24)</sup>。そこで、CMOSメモリ、ロジック共通の事象として、マルチノードアップセット(MNU: Multi-node Upset)という表現を新たに提案中である<sup>25)</sup>。

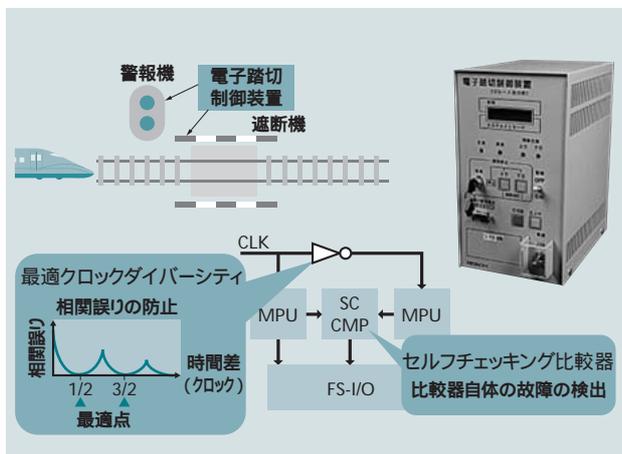
### 3 ティペンダブル技術

#### 3.1 カバレッジ向上技術

前述のようにカバレッジとは、高信頼システムがいかに多くの種類・数の故障、障害に対応できるかを示す指針である。カバレッジを向上させた究極の高信頼システムはATC-LSIや図6に示す電子踏切制御装置に適用されている。

電子踏切制御装置は、踏切に列車の接近を検知したら通過し終えるまで確実に遮断機を降ろし、警報機を動作させなければならない。万一故障した場合には安全のために遮断機を降ろして警報機を動作させたフェイルセーフな状態に保持しなければならない。そのために故障を確実に検出することが求められる。

そのためにまず、図7に示すようにMPU (Micro-processing Unit) を二重化し、その出力を比較器で比較す



注：略語説明 CLK( Clock ), MPU( Micro-processing Unit ), SC( Self-checking ), CMP( Comparator ), FS( Fail-safe ), I/O( Input/Output )

図6 電子踏切制御装置

カバレッジを高めるためにセルフチェック比較器と最適クロックダイバーシティ方式を採用している。

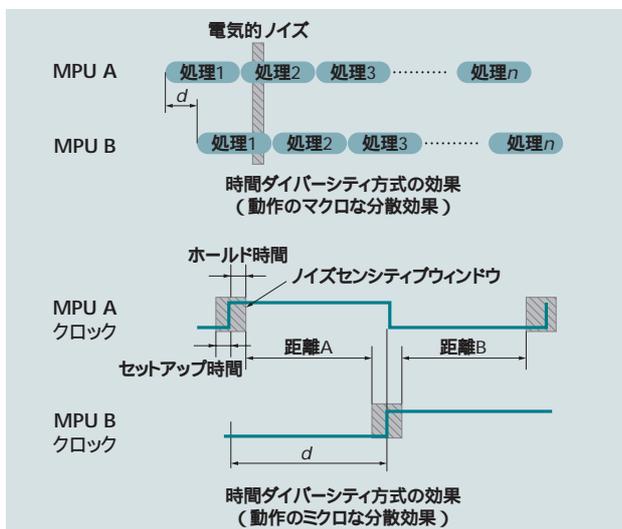


図7 時間ダイバーシティ

時間ダイバーシティにはマクロな効果とミクロな効果がある。

ることでMPUの異常を検出し、それを受けてフェイルセーフI/O( Input/Output )で先のフェイルセーフ状態を実現している。ここで、万一比較器が故障した場合にはMPUの異常を検出することができなくなるので、比較器自体の故障も検出できるセルフチェック比較器としている<sup>26)</sup>。さらにカバレッジを高めるためには、二重化したプロセッサで同一の誤りが発生しないようにしなければならない。そこでプロセッサどうしを半クロックのタイミング差を持たせて動作させている<sup>27), 28)</sup>。

従来から動作タイミングを多様化させて同一誤り発生の防止を図る時間ダイバーシティが提唱されている。時間ダイバーシティの効果をマクロに見ると、同図に示すように電氣的ノイズが電子機器に印加された時刻に二重化したMPUでは異なる処理を実行しているため、異なる処理がノイズの影響を受け、同一誤り発生を防止する効果がある。マクロな時間ダイバーシティの効果によれば二重化したMPUの間の時間差が大きいほど同一誤り発生を防止する効果が高い。さらにミクロに見ると、クロックに同期して動作するデジタル回路では、クロック信号の立ち上がり前後の一定期間は信号が安定していなければ誤動作が発生する。この時間を一般にセットアップ時間、ホールド時間と呼ぶ。さらに、この期間にノイズが印加されれば誤動作が発生するのでノイズセンシティブウィンドウと呼ぶことにする。二重化したMPUのノイズセンシティブウィンドウ間の時間的距離を考えると、時間差が半クロックまでは時間的距離Aが大きくなる。さらに時間差が大きくなり半クロックを超えて1クロックに近づくとも今度は時間的距離Bが小さくなる。したがって、ノイズセンシティブウィンドウ間の時間的距離が最も大きくなるのは半クロック差またはその奇数倍のときであると考えられる<sup>27), 28)</sup>。

以上の考察を踏まえて、時間ダイバーシティのマクロな効果とミクロな効果が重なった総合的效果は、図8に示す半クロック差、またはその奇数倍のときに最大になることが予想できる。実際の実験でもこの予想を肯定する結果が出ている。

以上のように理論および実験により、その時間差が半クロックであるときに最も多様化の効果があることが証明された。最適時間ダイバーシティ方式、さらにクロックの時間差で実現できることから特に最適クロックダイバーシティ方式と呼んでいる。また、鉄道分野では「差動二重化方式」と呼ばれる。

#### 3.2 チップ内冗長化

ムーアの法則による微細化の進展の結果、1チップ内に

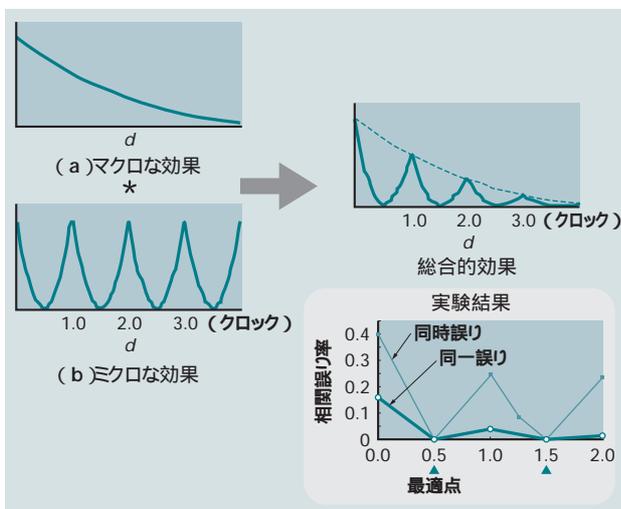
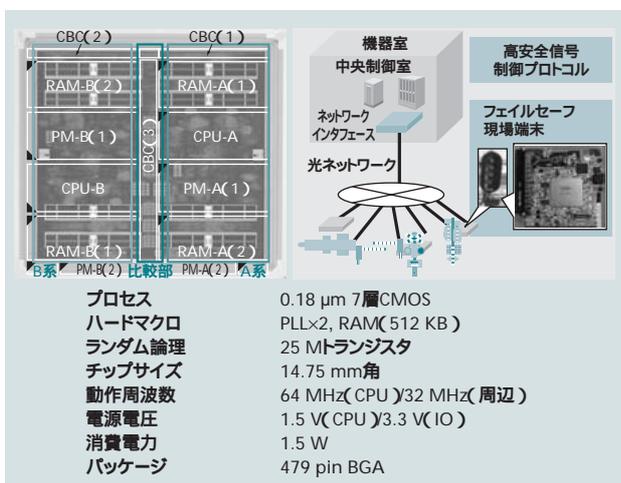


図8 最適時間ダイバーシティの効果  
マクロな効果とミクロな効果が合わさると図右上のグラフのような誤り相関となることが予想され、実験結果でも確認された。



注：略語説明 CBC( Common Bus Controller ),RAM( Random Access Memory ), PM( Peripheral Module ),CMOS( Complementary Metal Oxide Semiconductor ),PLL( Phase Locked Loop ),BGA( Ball Grid Array )

図9 FS-CPU( フェイルセーフCPU )  
チップ内冗長化によるFS-CPUは鉄道信号システムの標準部品として種々の製品に適用が期待されている。

収納できる論理規模が増大し、システム全体を一つのチップで構成できるところか、一つのチップに複数のシステムを構成できるところまできている。マイクロプロセッサでは、一つのチップ内に複数のプロセッサコアを構成するマルチコアプロセッサが登場している。

フォールトトレランス技術の分野では、一つのチップ内に持たせた複数のプロセッサに同一の処理をさせ、冗長系を構成させることにより異常を検出しようとするチップ内冗長化が検討されている<sup>29)</sup>。

日立は、まずプロセッサの設計資産を異なるプロセスに移植するためのシンセサイザブル( ソフトIP )コア化技術を確立し、この技術を活用して二重化したプロセッサ、比較器などをゲートアレイ上に実装したFUJINEを1999年に試作した<sup>30)</sup>。さらに 2006年には浮動小数点演算機能や

キャッシュメモリ、2プロセッサによる並列処理などの機能を追加したFS-CPU( フェイルセーフCPU )を開発し<sup>31)</sup>、鉄道信号システムの標準部品として種々の製品に適用を推進中である( 図9参照 )。

### 3.3 新しい応用分野: X-by-Wire

X-by-Wireとは航空機をコンピュータで制御しようとするFly-by-Wireを自動車に適用した技術であり、自動車の制御を電子化することで、より複雑な制御を可能とし、車両運動の安定化などによる安全性、運転特性の向上などを図るものである<sup>32)</sup>。ブレーキを制御するBrake-by-Wire、ステアリングを制御するSteer-by-Wireなどがある。

日立研究所では、自律分散を適用したX-by-Wireによる横滑り防止装置を試作し、机上検討を進めている。図10に示すように、一般産業分野に自律分散を適用することにより、演算部を他と代替することができ、演算部の高信頼化が可能となる。さらに自動車や航空機などの制御対象が大域的である分野に適用すれば、制御対象に密接に結び付いているI/O部の高信頼化を図ることができる。例えば、4輪のうち1輪のブレーキが故障した場合も、他の3輪のブレーキを用いて制動することが可能となる。この場合、故障した側全体の制動力が不足し、いわゆる片効き状態となり車体が回転しようとするが、これを横滑り防止装置のセンサーで検知することで防止することができる。別の見方をすれば、元來制御対象に備わっている冗長性を利用して、さらなる冗長化をせずにI/O部の高信頼化を図ることが可能となる。

また自動車への応用で第一の問題になるのはコストであるが、図11に示すように宇宙、航空機、鉄道分野に比べてけた違いに大きな量産規模を持つことがわかる。したがって、特にLSI化による量産効果により、コストダウン

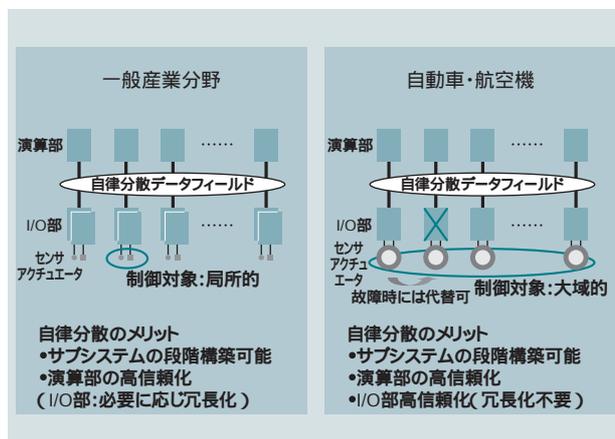


図10 自動車における自律分散の効果  
自動車や航空機などの制御対象が大域的である分野に適用すれば、元來制御対象に備わっている冗長性を利用して、さらなる冗長化をせずにI/O( 入出力 )部の高信頼化を図ることが可能となる。

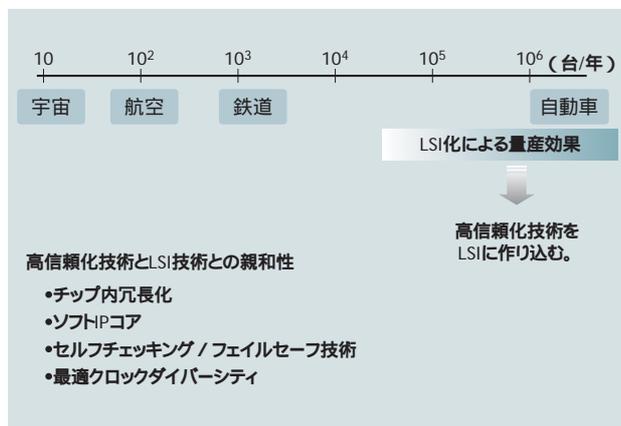


図11 自動車における量産効果

ディペンダブルシステム技術とLSIとの親和性を高めることで、量産効果を期待できる。

ンが期待できる。そこで、チップ内冗長化、セルフチェックング/フェイルセーフ技術、最適クロックダイバシティなどのLSI技術と親和性の高いディペンダブルシステム技術開発を心がけてきている。

## 4 おわりに

ここでは、日立におけるディペンダブルシステム技術への取り組みについて述べた。

日立のディペンダブルシステム技術は鉄道、原子力などの多くの産業分野で培われてきた。これらの技術は、最新のLSI技術と融合してチップ内冗長高安全プロセッサ技術に受け継がれようとしている。その結果、LSI技術の持つ量産効果により将来大幅なコストダウンが可能となってきている。今後、ディペンダブルシステム技術が自動車などのより身近な分野に適用されることによって、われわれの日常生活の安全・安心に貢献できるものと確信している。

### 参考文献など

- 1) J.C. Laprie: Dependable Computing and Fault Tolerance: Concepts and Terminology, in Proc. 15th IEEE Int. Symp. on Fault-Tolerant Computing (1985)
- 2) 森, 外: 自律分散概念の提案, 電気学会論文誌, Vol.104, No.12 (1984.12)
- 3) 北原, 外: 超高密度線区の輸送を支える東京圏輸送管理システム(ATOS), 日立評論, 79, 2, 165-168 (1997.2)
- 4) ISAS, 工学実験衛星「ひてん」/ 科学衛星, <http://www.isas.ac.jp/j/enterp/missions/hiten.shtml>

- 5) コンピュータ博物館, 日本のコンピュータ, UNIXサーバ, (日立) HITAC FT-6100, <http://museum.ipjs.or.jp/computer/unix/0008.html>
- 6) 金川, 外: 新しい多数決方式によるフォールトトレラントコンピュータシステム, 電子情報通信学会論文誌, J72-D1, 2, p.109-116 (1990)
- 7) 基板内フォールトマスキング方式によるフォールトトレラントコンピュータの高速化と透過性, 電気学会論文誌, 114-D, 9, p.903-909 (1994)
- 8) G. E. Moore: Cramming more components onto integrated circuits, Electronics Magazine, 38, 8, pp.114-117 (1965)
- 9) T. Takano, et al.: In-orbit experiment on the fault-tolerant space computer aboard the satellite "Hiten" IEEE Trans on Reliability, 45, 4, pp.624-631 (1996)
- 10) T. J. O Gorman, et al.: Field testing for cosmicray soft error in semiconductor memories, IBM J. of R & D, 40, 1, pp.41-50 (1996)
- 11) E. Ibe: Current and Future Trend on Cosmic-Ray-Neutron Induced Single Event Upset at the Ground down to 0.1-Micron-Device, The Svedberg Laboratory Workshop on Applied Physics, Uppsala, May, 3, No.1 (2001)
- 12) E. Ibe, et al.: Distinctive Asymmetry in Neutron-Induced Multiple Error Patterns of 0.13um process SRAM, RASEDA2004, Tsukuba, October 6-8, 2004, pp.19-23 (2004)
- 13) X. Zhu, et al.: A Quantitative Assessment of Charge Collection Efficiency of N+ and P+ Diffusion Areas in Terrestrial Neutron Environment, 2007 NSREC, Honolulu, Hawaii, July 23-27, No.E-3 (2007)
- 14) T. Nakauchi, et al.: A Novel Technique for Mitigating Neutron-Induced Multi-Cell Upset by means of Back Bias, IRPS 2008, Phoenix, Arizona, April 27-May 1, 2008, No.2F.2, pp.187-191 (2008)
- 15) P.E. Dodd, et al.: Neutron-induced latchup in SRAMs at ground level, 2003 IRPS, Reno, Nevada, No. 2B.1, pp.51-55 (2003)
- 16) S. Kuboyama, et al.: Pseudo and Local SELs Observed in Digital LSIs and Their Implications for SEL Test Methods, NSREC2005, Seattle, Washington, July 11-15, 2005, No. PI-2 (2005)
- 17) JEDEC: Test Method for Beam Accelerated Soft Error Rate, No. JESD89-3 (2004)
- 18) JEITA: JEITA SER Testing Guideline, EIAJ EDR4705 (2005)
- 19) JEDEC: Measurement and Reporting of Alpha Particles and Terrestrial Cosmic Ray-Induced Soft Errors in Semiconductor Devices: JESD89A, JEDEC STANDARD, JEDEC Solid State Technology Association, No.89, pp.1-85 (2006)
- 20) H. Yamaguchi, et al.: 3D Device Simulation for Neutron-induced Latch-up in CMOS Devices, SSDM2005, Sep. 13-15, Kobe, Japan, Vol. P3, No. 1, pp.578-579 (2005)
- 21) E. Ibe, et al.: Spreading Diversity in Multi-cell Neutron-Induced Upsets with Device Scaling, 2006 CICC, San Jose, CA., September 10-13, 2006, pp. 437-444 (2006)
- 22) N. Seifert, et al.: Assessing the impact of scaling on the efficacy of spatial redundancy based mitigation schemes for terrestrial applications, SELSE 3, Austin Texas, April 3, 4 (2007)
- 23) A. Manuzzato, et al.: Effectiveness of TMR-Based Techniques to Mitigate Alpha-Induced SEU Accumulation in Commercial FPGAs, 2007 RADECS, September 10-14, 2007, PAL-10 (2007)
- 24) L. Sterpone, et al.: Analytical Analysis of the MBUs Sensitiveness of TMR Architectures in SRAM-based FPGAs. 2007 RADECS, September 10-14, 2007, PAL-10 (2007)
- 25) 伊部: 電子システムの環境中性子線起因のエラーの現状と対策 マルチノードアップセット問題の台頭, CPSY2008, 2008, Vol.108, No.6, p. 51-56 (2008)
- 26) 金川, 外: 配線ネット固有シグナチャによるセルフチェックング比較器の一構成方法 電子情報通信学会論文誌, J79-D-1, 6, p.353-360 (1996)
- 27) 佐藤, 外: 時間ダイバシティによる誤り相関の低減効果, 電気学会論文誌, 118-C, 2, p.259-263 (1998)
- 28) 金川, 外: 最適クロックダイバシティによる障害検出・回復力バレッジの向上, 電子情報通信学会論文誌, J85-D-1, 1, p.53-60 (2002)
- 29) N. Kanekawa, et al.: Self-Checking and Fail-Safe LSIs by Intra-Chip Redundancy, Proc. FTCS-26, pp.426-430 (1996)
- 30) K. Shimamura, et al.: A Fail-Safe Microprocessor Using Dual Synthesizable Processor Cores, AP-ASIC, pp.46-49 (1999)
- 31) K. Shimamura, et al.: A Single-Chip Fail-Safe Microprocessor with Memory Data Comparison Feature. PRDC 2006: pp.359-368 (2006)
- 32) 植木, 外: 安全走行支援システムを支える自動車運動制御技術, 日立評論, 86, 5, 379-384 (2004.5)