

エレクトロニクス製品を支える先端実装技術

Advanced Packaging Technologies for Electronic Products

松嶋 直樹 Naoki Matsushima
植松 裕 Yutaka Uematsu

田中 直敬 Naotaka Tanaka
武田 健一 Kenichi Takeda

松岡 康信 Yasunobu Matsuoka
柴田 智章 Tomoaki Shibata

菅原 俊樹 Toshiki Sugawara
高橋 敦之 Atsushi Takahashi

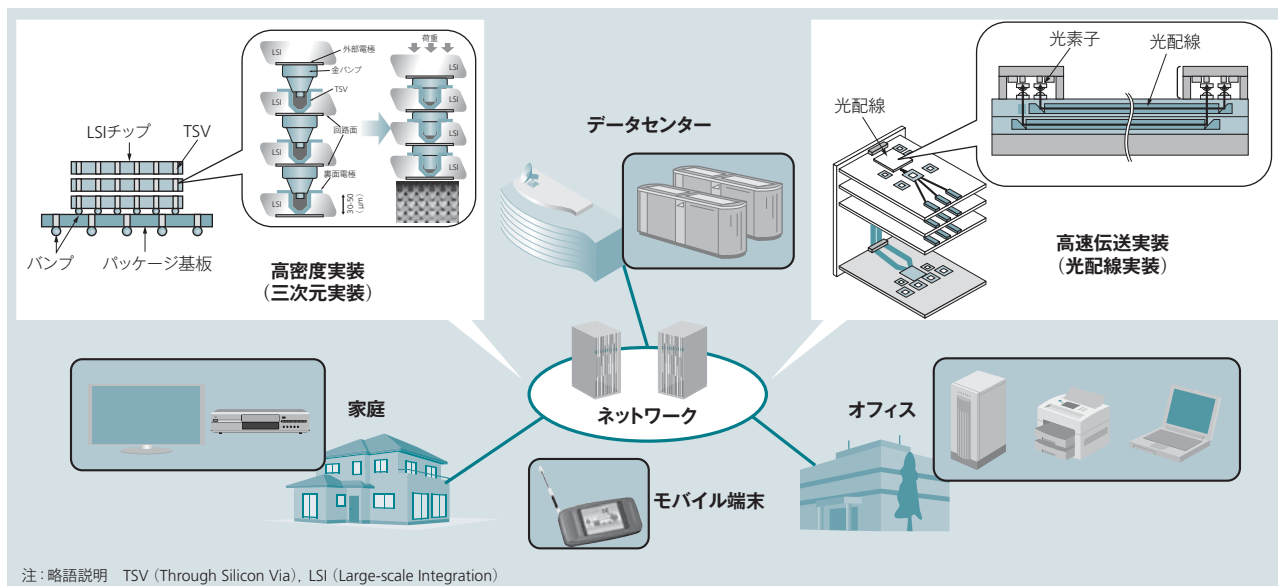


図1 先端実装技術の取り組み

日立グループは、各種エレクトロニクス製品に対応した先端実装技術に取り組んでいる。その分野は多岐にわたるが、共通するのは「高密度化」と「高速伝送」である。

半導体高性能化の新たな方向性

近年、エレクトロニクス製品の高性能化、多機能化の進展が目覚ましい。これは、製品に用いられる各種デバイスのパフォーマンス向上に起因することにほかならないが、一方で、これらデバイスを製品に組み込むための実装技術も、製品の性能を最大限に引き出し、商品価値を高める基盤技術として日々進化している。エレクトロニクスの世界では、これまでのスケーリング則にのっとった「半導体微細化の追求」に代わる新たな進化軸にシフトしつつある。

世界の半導体技術ロードマップを策定する機関であるITRS (International Technology Roadmap for Semiconductors) において、2005年に半導体の高性能化には二つの進化軸があると提唱された¹⁾ (図1参照)。

一つは「More Moore」、いわゆるムーアの法則で、スケーリング則に従い半導体の

配線幅を微細化することによって進化していくものである。そしてもう一つは、「More than Moore (ムーアの法則を超えるもの)」で、多様化・多機能化の方法に進化するというものである²⁾ (図2参照)。これは、世の中の環境や動向に呼応して、複数の異種デバイスをパッケージ化して新たな機能を生み出すという考え方である。

このMore than Mooreを具現化する先端実装技術の新機軸の一つが三次元実装である。これは、複数の半導体チップを縦方向に積み上げて、各チップを電気的に接続したうえでパッケージ化する技術である。三次元実装を具現化する先端技術の代表が**TSV (シリコン貫通ビア)**^(a)を用いた積層接合実装で、これによって半導体パッケージを高密度化できるだけでなく、配線長を短縮化できるなどのメリットにより、実装技術のみで高性能化を具現できる。

新機軸として今後注目すべきもう一つの技術に、光配線がある。エレクトロニクス

(a) TSV (シリコン貫通ビア)

TSVはThrough Silicon Viaの略。ビアは積層したチップにおいて層を貫通する配線のこと。従来型の積層実装技術であるワイヤボンディングでは、チップの縁を回って基盤を経由しながら他のチップと配線する。シリコン貫通ビアは、チップに上下を貫通する穴を開けて他のチップと配線する積層接合実装技術である。

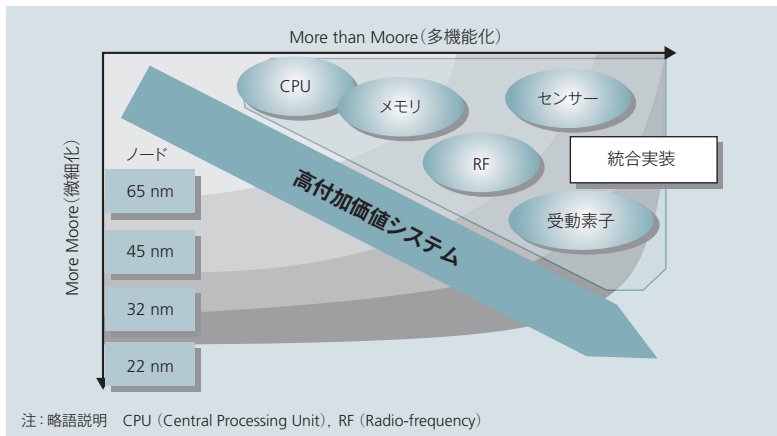


図2 半導体の進化軸
 将来の半導体は、「More Moore (微細化)」と「More than Moore (多機能化)」を組み合わせた高付加価値システムが主流となる。多機能化のキー技術は「実装」である。

製品の世界では、デバイス間の信号伝送は導電性の配線を用いた電気伝送が現在も主である。一方、海底光ケーブルなどに代表されるような長距離の信号伝送は光ファイバを用いた光信号伝送が定着している。近年は、FTTH (Fiber to the Home) に代表されるように近距離通信網への光伝送の適用が進んでおり、また高速ネットワーク機器の機器間インターコネクションなどにも広がりつつある。昨今の情報トラフィックの爆発的な増大による高速伝送のニーズ増大、また電磁波ノイズの影響の深刻化などから、装置内の信号伝送も「電気から光へ」というパラダイムシフトの必要性がいよいよ現実味を帯びてきている。

(b) クロストーク
 通信ケーブルが近接して配置されている場合に、電気信号がケーブルを流れる際に生じる磁界が、互いに干渉し、通信にノイズが混入する現象。

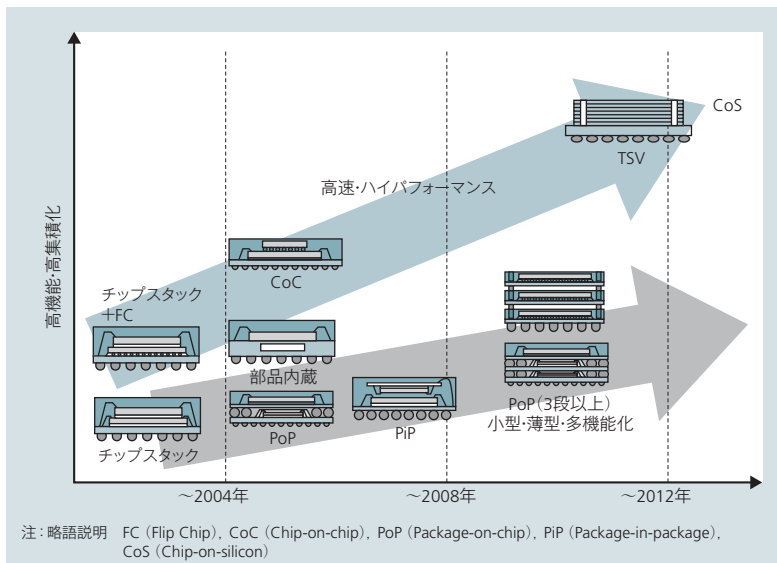


図3 半導体パッケージの推移
 高密度化・高速化を目的として半導体パッケージ技術は日々進化を遂げている。その方式は多岐にわたるが、「三次元化」という点では共通している。

先端実装技術の動向

高密度半導体パッケージ技術の動向

携帯電話やデジタルメディア製品などの民生機器は、限られた空間に多機能なデバイスを組み込むことが要求される。したがって、半導体パッケージの高密度化を目的の中心として実装技術が進化してきた。

半導体パッケージの推移を図3に示す³⁾。挿入ピン型の電子部品実装から表面実装型に移り、近年は複数のIC (Integrated Circuit) を多段に積層してパッケージ化するSiP (System-in-package)、パッケージの多段積層であるPoP (Package-on-package) などの開発が、SoC (System-on-chip) と並行して進められている。

今後は、SiP技術の次世代版としてTSVを用いた三次元実装が実装技術開発の中心となる。その適用範囲は広く、センサーモジュール、スタック型メモリ、ローカルメモリ付きプロセッサなどが検討されている。

高速伝送実装の動向

情報トラフィックの爆発的な増大による信号伝送の高速化に伴い、伝送回路に求められる仕様が厳しくなっている。例えば、半導体の低電圧化や過渡電流の増加によってチップ内の電源電圧変動が問題となっている。この電源変動は信号の時間揺らぎ(ジッタ)の原因となり、高速化の妨げとなることから、これを抑える回路技術や実装技術が必要となっている。

信号伝送の高速化ニーズがさらに高まると、もはや電気伝送では閉じなくなり、光信号による伝送が必要になってくる。光配線の適用動向を図4に示す⁴⁾。インターネットのトラフィック交換容量は毎年1.5倍程度で増え続けており⁵⁾、この傾向が続くと2010年以降には10 Tbpsのスループットを持つハイエンドルータが必要となる。このような仕様では、電気伝送は高周波ノイズやクロストーク^(b)の影響などで限界が見えてきており、光配線に代わるのは必然と見られている。

信号の光化は、単に高速化が可能なだけ

でなく、多くのメリットがある。光は無誘導性であるため、光信号の伝送線路である光配線を狭ピッチ化しても線路間におけるノイズ、クロストークは発生しない。また、光信号の反射、損失についても、その変調周波数と無関係であり、制御も容易である。このように、光による信号伝送は従来の電気伝送に対して大きな可能性を秘めており、光インターコネクト技術に関する開発が各機関で活発化されている。その適用先は、ルータやサーバなどハイエンド装置内向けボード間伝送や、携帯電話に代表される民生機器向けチップ間伝送などが想定されている。

高密度実装技術の取り組み

三次元実装技術の必要性

スケーリング則によれば、半導体デバイスの微細化によって動作速度の向上と集積度の向上を同時に達成することができた。しかし、2000年代の半ばを境にロジックLSI (Large-scale Integration) の代表例であるマイクロプロセッサの動作周波数は頭打ちとなり、スケーリング則からの乖(かい)離が起き始めている。その最大の原因は、消費電力および発熱密度の増大である。このため、マイクロプロセッサのアーキテクチャは消費電力当たりの処理性能の最適化と、並列処理による全体性能の向上へと大きくかじを切った。このようなアーキテクチャは、一つのマイクロプロセッサで複数のロジックコアが並列動作することから、マルチコア (Multi-core) またはメニーコア (Many-core) と呼ばれている。しかし、多数個コアを効率的に並列動作させるためには、コア間およびチップ外通信の広帯域化、低レイテンシ^(c)化、低消費電力化が重要となる。

TSVを用いた三次元実装技術はその有効解と考えられている。TSVは、寄生成分(抵抗、容量、インダクタンス)の小さな伝送路を超多ピンで形成可能という特徴があり、前述のニーズをすべて満たすことができる。三次元積層の実現手段としては、

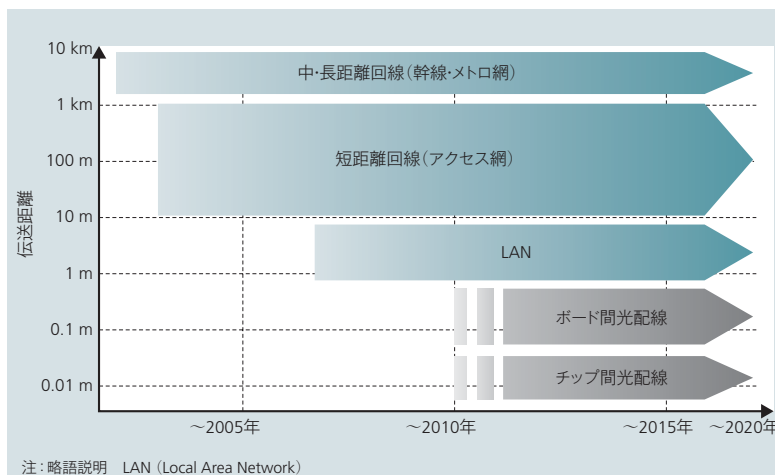


図4 光配線の適用動向

従来、長距離通信として使われてきた光通信の短距離への適用が進んでいる。高速ネットワーク機器の大容量化に伴い、ボード/チップ間の光化が進展すると予測されている。

三次元化手法	TSV	ワイヤボンディング	PoP
実装構造			
チップからの電極取り出し	全面 (バンパ)	周辺 (ボンディングワイヤ)	全面 (バンパ)
電極ピッチ	10~数十 μm	数十 μm	数十~数百 μm
積層チップ間の接続距離 (チップ中心間)	10~数十 μm	数mm	数mm

図5 三次元実装の手段

三次元にチップを積層する手段は、大別して3種類ある。この中で、高速化・多機能化を実現するのに最も好適な手段はTSV (シリコン貫通ビア) による三次元実装である。

ほかにワイヤボンディング、PoPなどがあり、これらはすでに実用化されている³⁾。しかし、上記ニーズを同時に実現できるのはTSVのみであり(図5参照)、特に性能重視の用途では、今後TSVへの置き換えが進むと考えられる。

TSV三次元実装

日立製作所が株式会社ルネサス テクノロジと共同で開発を進めているTSVによる三次元実装方法の模式図を図6に示す。複数のTSVは、厚さ30~50 μmに薄型化されたウェーハの裏面側から形成される。この方法は一般にビアラストプロセスと呼ばれ、半導体前工程でデバイス製造が完了した後にTSVを形成するため、デバイス信頼性への影響が比較的小さく、デバイス

(c) レイテンシ

データの読み出しなどの要求をしてから、その結果が返ってくるまでにかかる遅延時間のこと。レイテンシが小さいほど、デバイスのデータアクセス性能が高いことになる。

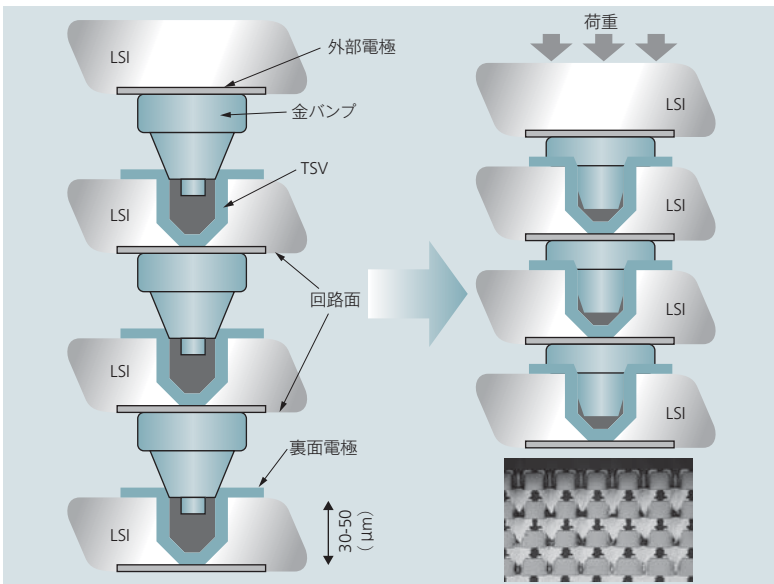


図6 「機械的かしめ」による積層チップ間の常温接続方法
株式会社ルネサス テクノロジと共同で開発を進めているTSVによる三次元実装方法を示す。

(d) TAT
Turn Around Timeの略。半導体プロセスにおいて、サンプリング、評価、プロセスへのフィードバックという一連の工程の一部、または全部を処理するのに要する時間。

設計ルールを制約しないというメリットがある。TSVが形成されたウェーハは各チップに個片化され、外部電極部には金のスタッドバンプが形成される。これは従来のワイヤボンディング技術で量産実績豊富な方法である。ここで、圧縮荷重を印加することによって金のスタッドバンプが下部チップ裏面に形成されたTSV内部に塑性変形を伴って変形挿入される。それゆえ、金のスタッドバンプとTSVの内

壁間には機械的なかしめ作用によって接触圧力が発生し、電気的な接続が達成される。機械工学の分野では大型構造物の締結法として一般的な「機械的かしめ」を半導体の実装プロセスに適用することで、常温で押すだけという従来と比較しても非常に簡便なプロセスで、積層チップ間の電気的な接続を可能にした。

この接続手法のメリットとして、(1) 接続温度を選ばない(常温可能)、(2) 荷重を短時間印加するだけの簡易、短TAT^(d)プロセス、(3) 環境に影響する有害物質を使用せず、低温接続可能のため環境負荷も小さい、(4) TSV形成では電解めっき法によるビア充填(てん)や、めっき平坦(たん)化のためのCMP (Chemical Mechanical Polishing) など、コスト増加要因となるプロセスが一切不要、(5) 孔状電極部によるバンプ位置決め効果により、接続ピッチファイン化に対しても有利、という五つが挙げられる。これにより、従来の銅めっき充填型TSVによるチップ積層技術に比較し、約 $\frac{1}{5}$ 以下の製造コストで同じ接続を実現できると算定している。

また、機械的かしめによる平均接続抵抗は30~40 mΩで、接触による導通にもかかわらず接続抵抗が低い。これは、接続時にバンプ表面が塑性変形することによって、酸化表面の影響がない新生面が形成される効果によるものと考えられる。

次に実製品への適用を想定し、65 nm ノードプロセスのトランジスタを搭載した評価用ウェーハを用いて、各プロセスに対するトランジスタ特性への影響を評価した。その結果を図7に示す。図中には、初期(ウェーハ状態)、TSV形成後、およびかしめ接続によるチップ積層後において、ゲート電圧印加時の飽和ドレイン電流をそれぞれ測定した結果が示されている。ここで横軸は、初期の特性平均をゼロにした場合の差分で示した。トランジスタ近傍にTSVが形成され、さらにかしめ接続によって積層された後においてもトランジスタ特性への影響はほとんどないことがわかり、製品適用への実現性が示された。

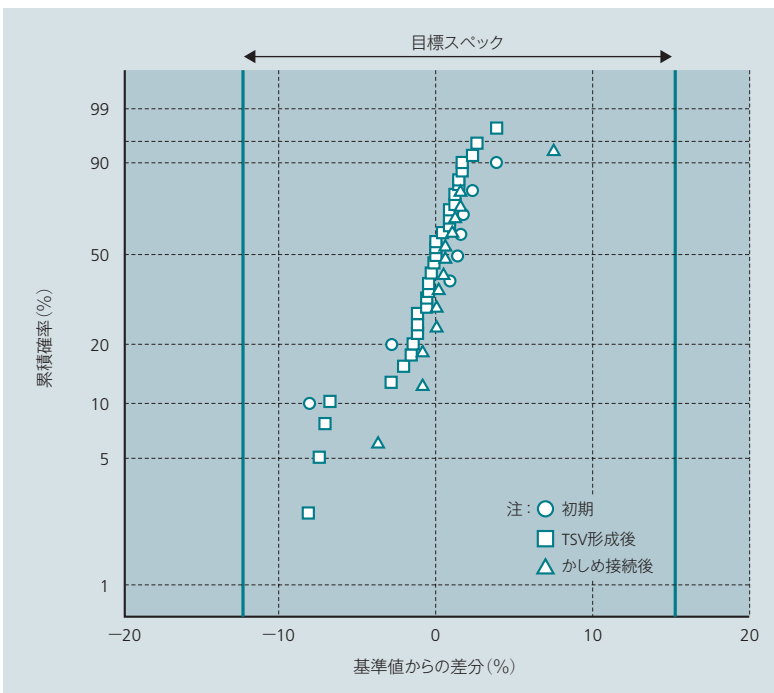


図7 トランジスタ特性評価結果
65 nmノードプロセスで製造されたトランジスタを搭載した評価用ウェーハを用いて、接合プロセスのトランジスタ特性への影響を評価した結果を示す。

高速伝送実装技術

高速電気伝送対応電圧観測技術

高速伝送対応技術の一環として、LSIチップ内部の電圧観測技術を開発した⁶⁾。この技術では、LSI内に多段インバータで構成した電圧観測回路を搭載し、これに信号を入力したときの通過時間の遅延変動 ΔT を外部でモニタすることで、各時刻におけるチップ内部の電源電圧の変動 ΔV を測定可能とする。この方式の特徴は、従来困難とされていた、回路の搭載容易性[小回路サイズ、小追加I/O (Input/Output)ピン、アナログ設計不要]と測定性能(電圧・時間分解能)の両立を実現した点にある。

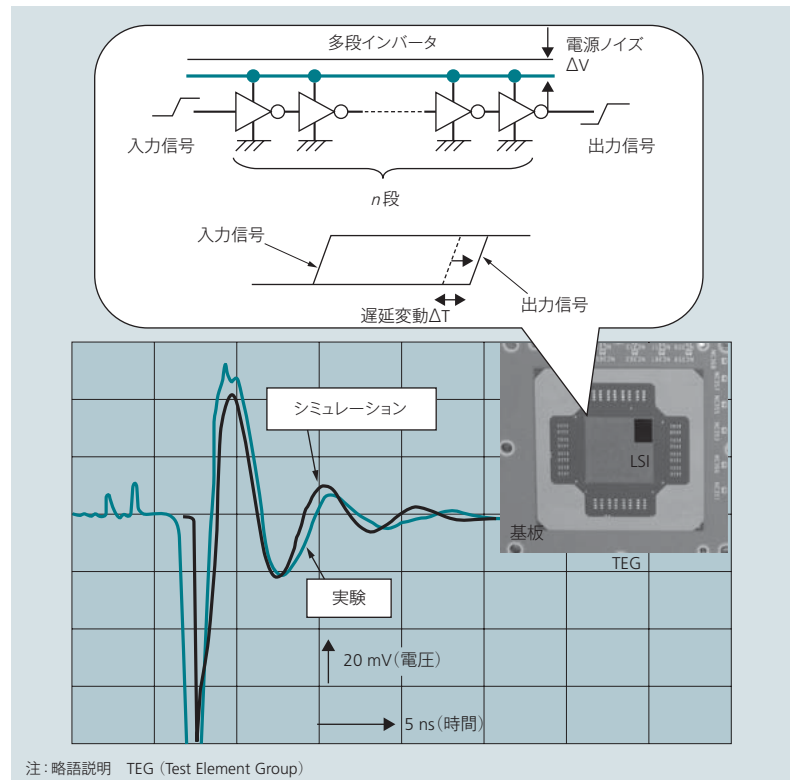
90 nm CMOS (Complementary Metal Oxide Semiconductor) プロセスで開発したテストチップによる測定結果を図8に示す。320 μm^2 の小サイズの回路で、電圧分解能1 mV、時間分解能20 psで電圧波形の観測に成功している。この実測波形はシミュレーション結果ともよく一致し、電源電圧1 Vの1%に当たる10 mVの電源ノイズ波形も十分観測可能であることが示された。

この技術を用いて観測された結果を解析し、ここで得られた知見を次世代のLSIやプリント基板の電源設計にフィードバックさせることで、設計の効率化と性能向上が可能となる。

光配線実装技術

大容量の光信号伝送を行う光インターコネクシステム課題として、高速・高密度な光配線の形成と、光素子/光配線間の光接続部の低損失化が挙げられる。光配線の媒体としては、従来の光通信システムで用いられてきた光ファイバと、近年、研究開発が盛んに行われている有機**光導波路**^(e)に大別される。また、光素子はアレイによる高密度化に有利なVCSEL (Vertical Cavity Surface Emitting Laser: 面発光レーザ) やPD (Photo Diode: 面受光型フォトダイオード) がよく用いられる。

多層ポリマ光導波路基板と小型集積光



注: 略語説明 TEG (Test Element Group)
図8 チップ内電源変動の原理とチップ内電源変動観測テストチップによる電圧波形観測
90 nm CMOS (Complementary Metal Oxide Semiconductor) プロセスで開発したテストチップによる測定結果を示す。

I/Oモジュールで構成した光インターコネクに関する日立グループの開発例を図9に示す^{7), 8)}。この光配線基板は、FR-4基板上にポリマ材料を用いたマルチモード光導波路をラミネートおよびリソグラフィによって2層一体形成することで、配線密度の向上を図るとともに、従来のプリント基板製造法と親和性のよい低コストな基板作製法を適用している。光I/Oモジュールは1パッケージ内に10 Gビット/s VCSEL, PDアレイと駆動ICアレイをそれぞれ集積し、総容量160 Gビット/sを実現している。また、光素子・光配線間の光接続部にペアレンズアレイおよび光導波路に光閉じ込め構造を設けることにより、低損失化を図っている。今後は、2010年以降に登場する次世代Tビット/s級装置内適用に向けて、20 Gビット/s以上の超高速伝送に対応する光配線の実装技術の開発が必要であり、その実現に向けた取り組みを行っている。

一方、携帯電話、PCなどの民生機器向けの光配線技術として、ポリマ光導波路を用いた光配線実装技術の開発も進めてい

(e) 光導波路

光導波路は、材料の屈折率の違いを利用して光を導く光ファイバと同様の原理を用いて、光信号を伝送する回路のこと。光ファイバのように繊維状ではなく、板状の平面構造となっている。構造材料としては、主に石英やシリコン系材料などが用いられてきたが、用途を広げるため、製造プロセスが簡単、かつ高機能化が図れる有機・高分子材料の適用が期待されている。

る。民生機器では、小さい筐(きょう)体内でチップ間光伝送するために屈曲が可能な光配線が必要となる。ポリマ光導波路フィルムはこれを実現する最適解の一つである。フレキシブル光導波路の課題は、配

線曲げによる光の放射損失抑制のため、光導波路のコア/クラッド比屈折率差を高くし、導波路内伝播(ば)光の閉じ込めを強くすること、高速信号を効率よく伝送するため光伝播および光素子—光配線間光接続部を低損失化することである。

ポリマ光導波路基板とFPC (Flexible Printed Circuit) を集積したチップ間フレキシブル光電気混載回路の開発例を図10に示す⁹⁾。この回路ではデバイス実装層であるFPCと、光配線層であるフレキシブル光導波路を複合し、光導波路の端部に90度光路変換ミラー部を形成している。また、配線端部のFPC表面に10 Gビット/s × 4ch (channel) のVCSELアレイ/PDアレイと、駆動用ICとをそれぞれベアチップで搭載することにより、小型化を実現している。また、半径2 mmで曲げた状態の光導波路内に10 Gビット/sの光信号伝送をした結果、波形の大きな劣化は観測されず、高速信号伝送路として実用的な性能を有することを示した。

先端実装技術のさらなる進歩を

エレクトロニクス製品を支える先端実装技術として、TSV三次元実装技術と光配線実装技術を中心に述べた。今後はこれら先端技術の普及に向けて、信頼性や生産性の向上によりいっそうの力を注ぐことが必須である。また、チップ内光伝送など、究極の姿を追求した研究も視野に入れて取り組んでいく。

半導体の技術開発において微細化の追求からのパラダイムシフトが起き、また、直近の経済状況をかんがみ、開発投資に対する考え方の見直しも始まっている。このような時代こそ実装技術の真価が問われるときであり、低コストで新しい機能を生み出せる先端実装技術が熱望されている。

日立グループは、各種エレクトロニクス製品向けの先端実装技術開発に取り組んでおり、その技術分野は、材料、装置、プロセス、そして評価・計測など多岐にわたる。さらに、グループ総力を挙げての多角的な

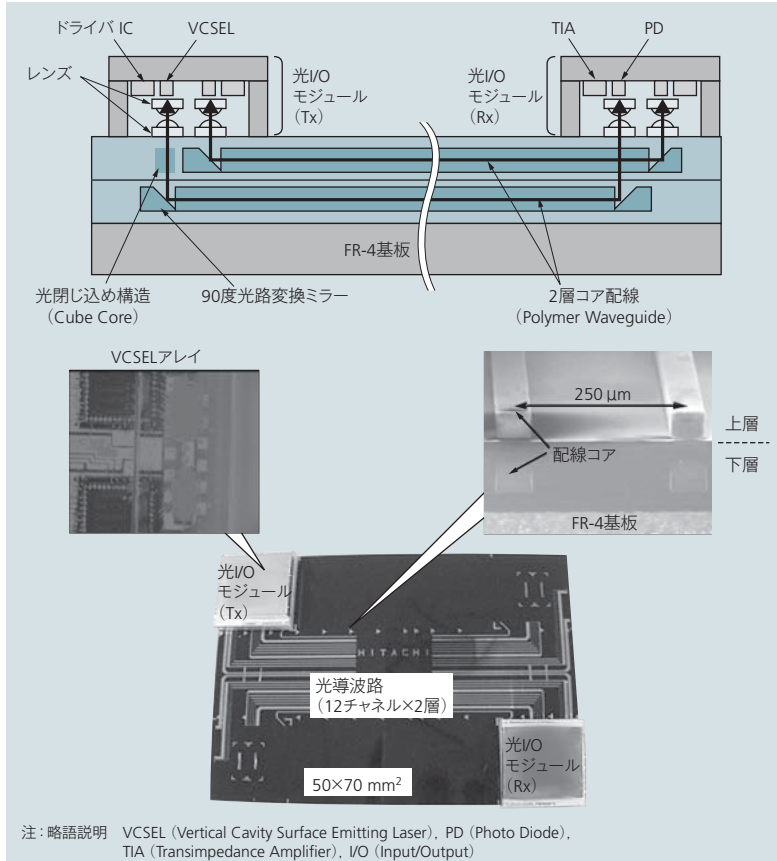


図9 光I/O搭載多層光導波路基板の外観構造
多層ポリマ光導波路基板と小型集積光I/Oモジュールで構成した光インターコネクットに関する日立グループの開発例を示す。

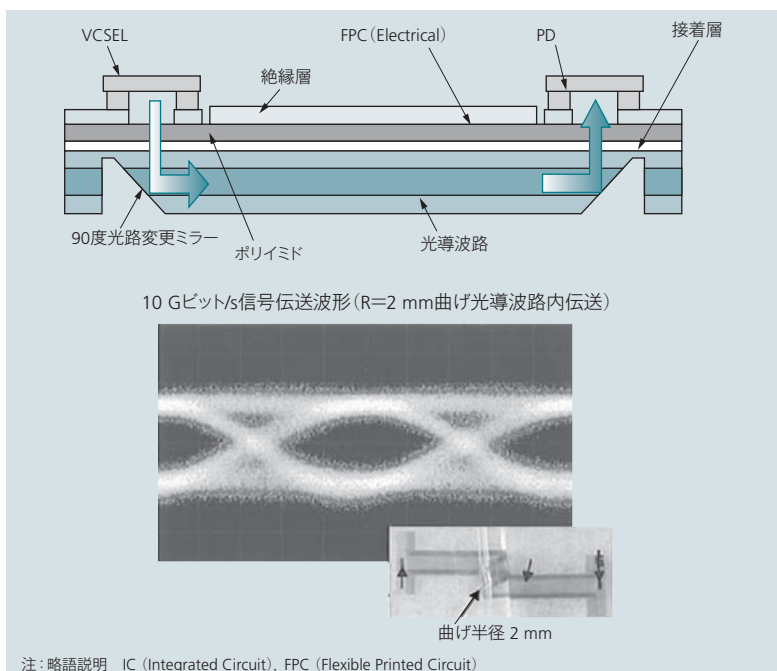


図10 フレキシブル光電気混載回路の構造および信号伝送波形
ポリマ光導波路基板とFPCを集積したチップ間フレキシブル光電気混載回路の開発例を示す。

研究により、基盤技術を強固なものにして
いる。

このような技術力を基に、日立グループ
は、先端実装技術によってエレクトロニク

ス製品の高性能化・多機能化を進展させ、
豊かな社会づくりに貢献していきたいと考
える。

参考文献など

- 1) ITRS Roadmap 2005 Edition,
<http://www.itrs.net/Links/2005ITRS/Home2005.htm>
- 2) ITRS Roadmap 2007 Edition,
<http://www.itrs.net/Links/2007ITRS/Home2007.htm>
- 3) 半導体新技術研究会編：図解最先端半導体パッケージ技術のすべて、工業調査会（2007.9）など
- 4) 日経エレクトロニクス、2005年6月6日号、p. 59～70（2005.6）
- 5) Japan Internet Exchange,
<http://www.jpix.ad.jp/jp/technical/traffic.html>
- 6) Y. Uematsu, et al.: Measurement Techniques for On-chip Power Supply Noise Waveforms based on Fluctuated Sampling Delays in Inverter Chain Circuits, Proc. 2008 EPEP, pp. 69-72 (2008)
- 7) Y. Matsuoka, et al.: An Efficient Optical Coupling Method for Multilayer Optical Printed Circuit Boards, 12th OECC, 10E2-2 (2007.7)
- 8) 松岡, 外:高効率光I/Oを有する10Gbps並列光インターコネクション, 2008年電子情報通信学会ソサイエティ大会, C-3-1 (2008.9)
- 9) T. Shibata, et al.: Flexible Opto-Electronics Circuit Board for In-device Interconnection, Proc. 2008 ECTC, pp. 261-267 (2008)

執筆者紹介



松嶋 直樹

1991年日立製作所入社、生産技術研究所 実装ソリューション研究部 所属
現在、エレクトロニクス製品の实装技術に従事
日本物理学会会員



田中 直敬

1991年日立製作所入社、機械研究所 第三部 所属
現在、エレクトロニクス製品の応力設計、構造信頼性解析技術に従事
工学博士
日本機械学会会員、日本接着学会会員、エレクトロニクス実装学会会員、電気情報通信学会会員



松岡 康信

1990年日立製作所入社、中央研究所 ナノエレクトロニクス研究部 所属
現在、光配線の導波路、モジュールの研究に従事
電子情報通信学会会員、応用物理学会会員、エレクトロニクス実装学会会員



菅原 俊樹

1994年日立製作所入社、中央研究所 ナノエレクトロニクス研究部 所属
現在、光配線の光モジュールの研究に従事
理学博士
IEEE会員、日本物理学会会員、電子情報通信学会会員



植松 裕

2001年日立製作所入社、生産技術研究所 回路実装設計研究室 所属
現在、エレクトロニクス製品のパワーインテグリティ設計技術の開発に従事
工学博士
電子情報通信学会会員



武田 健一

1992年日立製作所入社、中央研究所 ナノプロセス研究部 所属
現在、三次元実装技術開発に従事
工学博士
IEEE会員、応用物理学会会員



柴田 智章

2000年日立化成工業株式会社入社、先端材料開発研究所 光デバイス材料グループ 所属
現在、光電気複合基板の研究に従事
エレクトロニクス実装学会会員



高橋 敦之

1986年日立化成工業株式会社入社、先端材料開発研究所 光デバイス材料グループ 所属
現在、光伝送用材料の研究に従事
日本化学学会会員