

feature article

高密度実装技術開発をサポートするTEGソリューション

TEG Solution that Supports High Density Mounting Technology Development

高瀬 博行 Hiroyuki Takase
田辺 慎一 Shinichi Tanabe

山邊 栄一 Eiichi Yamabe
佐藤 明 Akira Sato

小熊 広志 Hiroshi Koguma
有賀 成一 Seiichi Ariga

半導体の実装技術開発において、パッケージ構造・組立プロセス評価を行うため、従来からTEG(評価用素子)を用いた解析が行われてきた。

高密度実装の進展に伴い、実装方式・装置・材料の開発が加速されており、

従来に増して製品に先行したTEGプラットフォームの開発・評価が重要となっている。

株式会社日立超LSIシステムズは、高密度実装で特に問題となる応力・発熱解析用TEGを開発し、それらを用いたソリューションを提供している。

1. はじめに

株式会社日立超LSIシステムズは、半導体設計開発を中心とした工場を持たないファブレスのエンジニアリング会社であるが、リチウムイオン二次電池用監視IC(携帯電話向け世界シェア約40%：2008年度日立超LSIシステムズ調べ)に代表される独自の各種半導体製品を多くのユーザーに提供してきている。これらの製品開発を通じて培った半導体製造プロセス技術や品質管理などのノウハウを基に、1999年から半導体実装技術開発サポートをサービス事業として取り組み、実装評価TEG(Test Element Group)はこれまで250社を超える装置メーカー、材料メーカーなどの顧客に採用されている。

実装技術開発においては、製品実装の構造や機能の検討、および実装用設備や材料の評価が行われており、TEGを評価ツールとして用いることで、高効率な評価が可能となり、開発期間の短縮が実現される。これまでは、製品開発に先行してTEGプラットフォームを策定し、TEGを開発・提供してきたが、最近の高密度実装に対応する新たなTEGのニーズが出てきた。

半導体の高密度実装においては、その高機能・高性能に伴う狭ピッチ・多ピン化が進むとともに、従来の表面実装から薄化チップを積層する三次元実装が主流になっており、チップおよび半導体パッケージが熱膨張係数の異なる多くの材料で構成されるため、実装時に増大する残留応力が大きな問題となっている。また、単位体積当たりの消費電力の増大による発熱に対して、熱抵抗の低減がデバイス特性や信頼性確保において重要な課題となっている。

今回、実装TEGにおいて、これら高密度実装に対応した新たなTEGとして、(1)チップ薄化に伴う応力増大への影響を解析する「薄チップでの測定を可能とした応力解析用TEG」と、(2)高密度化実装に伴う発熱増大への影響を解析する「高パワー・微細領域に対応可能とした発熱解析用TEG」を開発した。

ここでは、新たに開発した2種類のTEGの開発内容と、これらTEGを用いたソリューション事例としての接続性評価による実装技術、および材料開発について述べる(図1参照)。

2. 製品開発要求とTEG開発経緯

実装評価TEGの多くは、チップと基板をダイジェーション接続となるように設計し、その接続性評価を行っている。各種の半導体製品が評価できるように、種々のチップ・基板を設計してきたが、TEGの開発は製品開発に先行して進めてきた。その例として、チップの薄化と狭ピッチ・多ピン化に対応した開発経緯について以下に述べる。

2.1 チップ厚さの薄化

実装技術開発における製品チップ厚さロードマップとTEGチップ薄化開発実績を図2に示す。実線が製品ロードマップであり¹⁾、これらに先行してTEGの薄化を実施してきた。

ローコスト携帯用のワイヤボンディングTEGは、2008年には20 μm以下を、ハイパフォーマンス用はんだバンプTEG、およびAuめっきバンプTEGは、2006年から

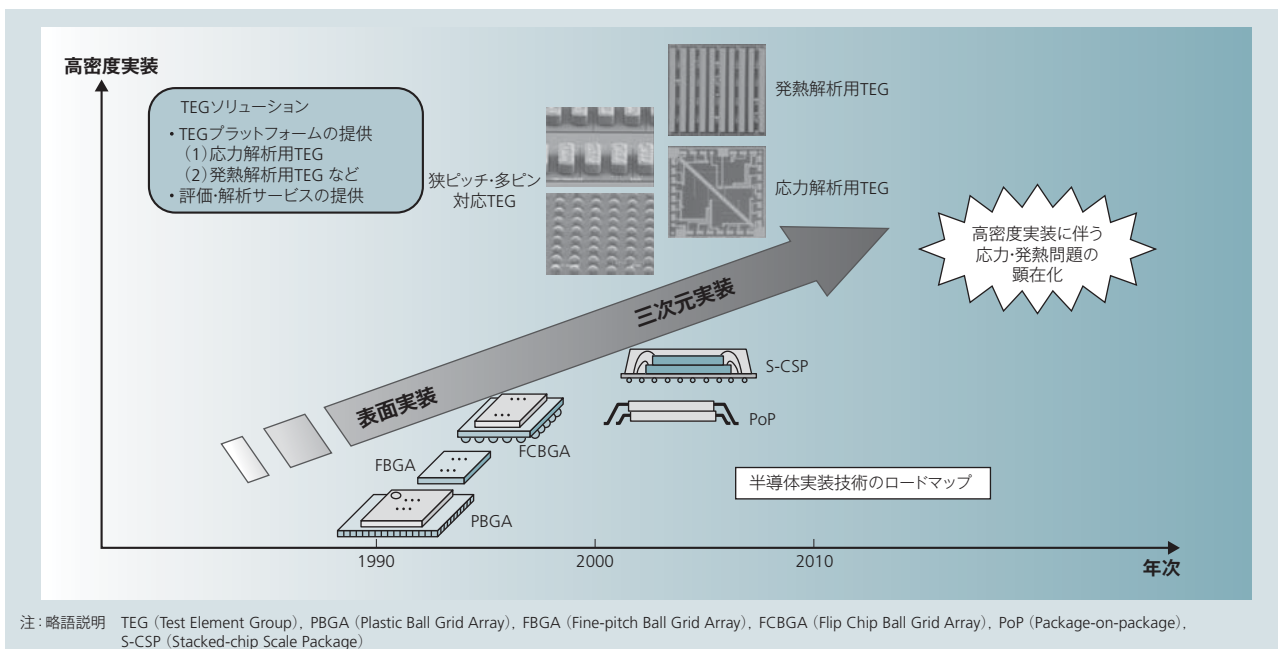


図1 TEGソリューションのめざす開発サポート

高密度実装の進展に伴い、応力・発熱問題などの課題が発生している。これらの課題に対応して応力・発熱解析用TEGを開発・提供するとともに、評価・解析サービスによるソリューションにより、顧客の開発をサポートする。

50 μm 厚さの薄加工要求があり、開発・提供に成功している。

2.2 狭ピッチ・多ピン化

チップ厚さ／薄化の要求と並行して、狭ピッチ・多ピン化による面密度向上も進んでいる。

ハイパフォーマンス用TEGであるはんだバンプTEGにおいては、15 mm角チップ当たり2万バンプ（バンプピッチ：100 μm ）を開発済みであるが、さらに狭ピッチ化の要求を受け、7.3 mm角チップ当たり2万8,000バンプ（バンプピッチ：40 μm ）のTEGを開発した。

3. 応力・発熱解析用TEG

製品開発に先行した接続性評価TEGの開発とともに、高密度実装で問題となる応力・発熱を解析するTEGを開発した。

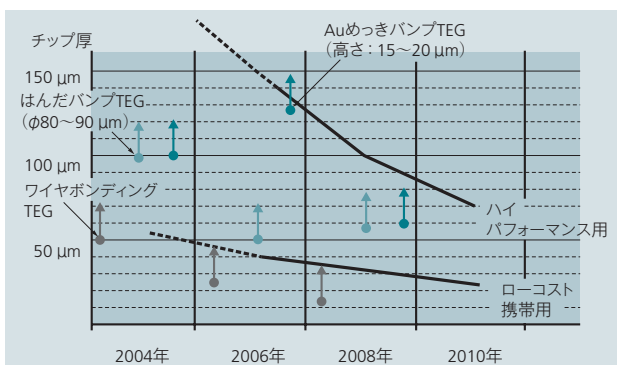


図2 TEGに対する薄化要求

実線が示す製品ロードマップに先行してTEGの薄化を実施してきた。

3.1 応力解析用TEG

応力の計測はピエゾ抵抗効果を使って行われる。これは、シリコン結晶に外力が加えられると結晶格子に歪（ひず）みが生じ、キャリア移動度が変化し、拡散層の電気抵抗が変化する現象を利用したものである。

TEGチップの外観を図3(a)に示す²⁾。ピエゾ素子はチップ中央とコーナーに配置され、チップ内の応力分布が解析できる。ピエゾ抵抗の応力依存性を図3(b)に示す²⁾。このTEGを用いてQFP (Quad Flat Package) に実装した際のチップ応力評価例を図4に示す。ここでは低応力レジンの

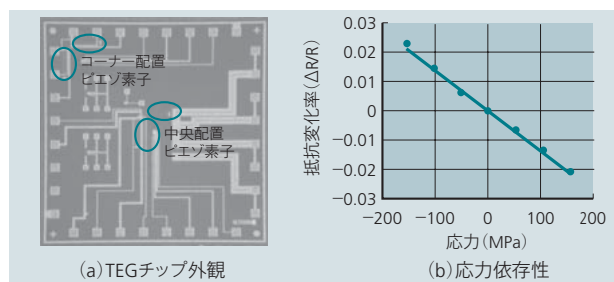


図3 応力解析用TEGチップとピエゾ抵抗の応力依存性

TEGチップの外観を(a)に、ピエゾ抵抗の応力依存性を(b)に示す。

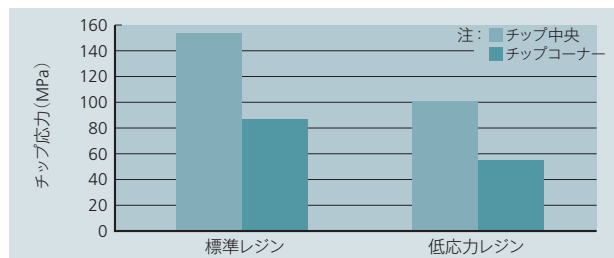


図4 応力解析用TEGを用いた評価例

標準レジンはチップ中央で155 MPa、コーナー部で85 MPaの応力であるが、低応力レジンではチップ中央で100 MPa、コーナー部で55 MPaに応力緩和している。

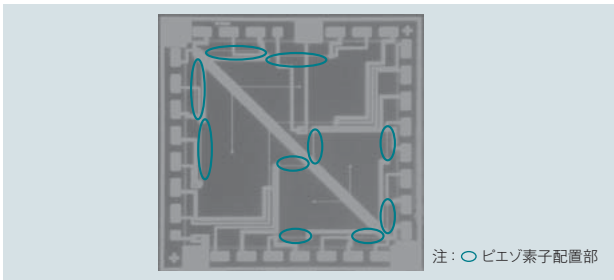


図5 薄化ウェーハ対応応力解析用TEG
チップ厚さ100 μmまで計測することができ、感度も向上した。

を用いた場合のチップ応力の改善効果を実測したが、このTEGを用いてダイボンディングやモールド時のチップ応力を測定した事例が報告されている³⁾。

今回、薄化ウェーハへの適用を可能にするために、新たな応力解析用TEGを開発した。チップ厚さ100 μmまで計測可能であり、従来品以上に感度を向上した。チップ外観を図5に示す。piezo素子は周辺部への配置を増やし、応力分布のさらに細かい計測を可能とした。

3.2 発熱解析TEG

高性能MPU (Micro Processing Unit) やDSP (Digital Signal Processor) では、チップ当たりの発熱量は数百ワットに達しており、パッケージ放熱性は重要な課題である。発熱解析TEGは、Siチップにヒータと温度測定用のダイオードを組み込んだTEGであり、チップ表面の拡散層抵抗をヒータとして加熱し、同時にダイオードのI-V特性から温度をモニタするため、実デバイスと同等の発熱を生じ、デバイス部の計測が可能である。

今回開発したTEGはさまざまな領域の解析に対応するため、チップサイズ1 mm角を基本とし、アレイ状に配列して最上層の結線層を変更することでチップサイズを可変とした。中央部全体がヒータ、上部にダイオードを配置した1 mm角チップを図6 (a) に示す。ヒータをチップ内全体に配置することで、温度分布を低減した。図6 (b) は、5個×5個の5 mm角チップであり、最大18 mm角までの発熱TEG作製を可能とした。また、高密度実装に対応し、最大パワーは1 mm角当たり10 Wに設計した。

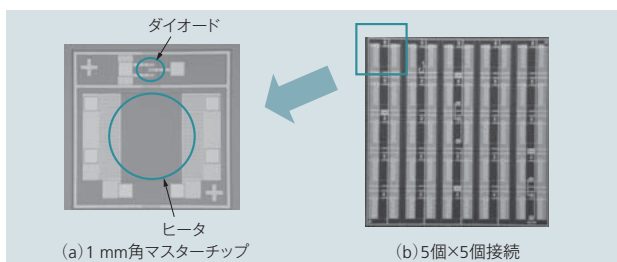


図6 発熱解析TEG
1 mm角のマスターチップを (a) に、マスターチップを5個×5個接続した大面積チップを (b) に示す。

4. ソリューション事例

接続性評価を行い、実装技術・材料の開発をサポートしたTEGを使ったソリューションの事例を以下に述べる。

4.1 ダイボンド材料評価

パッケージの薄型化に伴いフィルム状ダイボンド材が使われることが多くなっており、この材料開発はTEGを使って行った。TEGチップを既存の量産パッケージに組み込み、ダイボンド材として評価用サンプルを使用した。ワイヤボンディングの接続性で評価を行い、圧着不良や信頼度不良を確認した。

FBGA (Fine-pitch Ball Grid Array) パッケージにTEGチップを2段搭載してワイヤ結線したサンプルを評価し、信頼度試験で接続不良を確認した。信頼度試験前後の超音波探傷観察結果を図7に示す。不良サンプルは、パッケージ右側に剥(はく)離不良が生じていた。この事例からもTEG評価は、材料評価に有効であると言える。

4.2 Auめっきバンプ実装評価

Auめっきバンプのフリップチップ実装では、NCP/ACF (Non-conductive Paste/Anisotropic Conductive Film) 接合やAu/Au超音波接合といった接合方式や、アンダーフィル樹脂などの材料特性によって接合信頼性が決まる。

Auめっきバンプ付きTEGチップとそれに対応した基板を使って評価した結果を表1に示す。同じ接合方式でも封止材の種類によって信頼性不良が発生し、図8に示すようなバンプ根元部の破断が生じた²⁾。

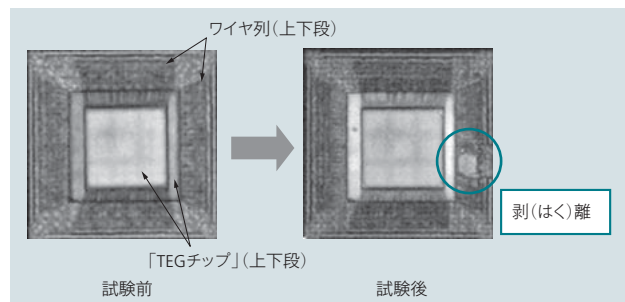


図7 FBGAパッケージの剥離不良
13 mm角FBGAパッケージに、8.39 mm角チップと6.39 mm角チップをスタックして信頼度試験を実施した超音波探傷観察画像を示す。

表1 Auめっきバンプ実装の信頼性評価結果

Auめっきバンプ付きTEGチップとそれに対応した基板を使って評価した結果を示す。

接合方式	封止材	結果
NCP	NCP (1)	×
	NCP (2)	×
ACF	ACF	○
Au/Au超音波	アンダーフィル (1)	○
	アンダーフィル (2)	×

注：略語説明ほか NCP (Non-conductive Paste), ACF (Anisotropic Conductive Film)
×：信頼性不良発生、○：信頼性不良なし

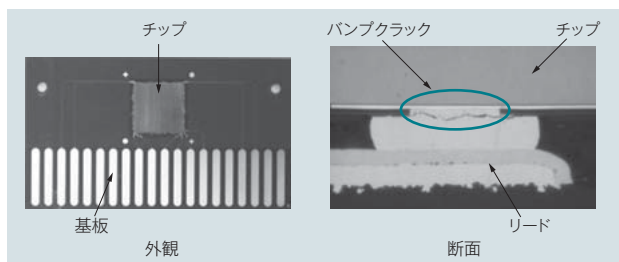


図8 Auめっきバンプ実装の信頼度不良
同じ接合方式でも封止材の種類によって信頼性不良が発生する。Auめっきバンプ基板の破断断面を示す。

この評価例が示すように、TEGを使って接続方式や封止材料の選定が可能である。

4.3 常温超音波接合による応力低減接合評価

高密度実装における熱の影響の対策として、熱エネルギーを必要としない接続法を評価した。評価したのは常温超音波接合法であり、AuめっきバンプTEGチップとCoF (Chip on Film) 基板を用いて評価した。使用したTEGを図9に示す。Auめっきバンプが搭載されたTEGチップが、CoF基板にフリップチップ実装される。

アニール処理の有無によってAuめっきバンプの硬度を変えたチップを用い、接続強度であるシヤ強度〔剪(せん)断強度〕を比較した結果を図10に示す。アニール処理を実施した場合、超音波発振時間とともにシヤ強度が増加する傾向にあるが、アニール処理を行わない場合、ダイシヤ強度が増大しない結果となっている。実装プロセスの開発においても、TEGが有効に活用されている。

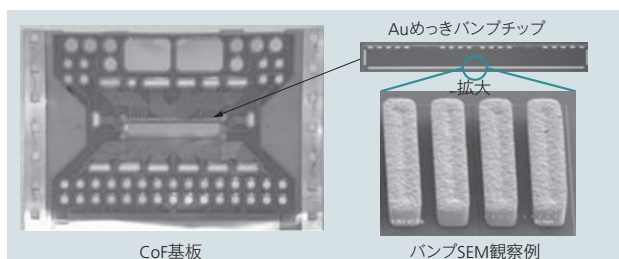


図9 AuめっきバンプTEGの常温超音波接合サンプル
CoF基板、Auめっきバンプチップ、バンプSEM観察例を示す。Auめっきバンプが搭載されたTEGチップが、CoF基板にフリップチップ実装される。

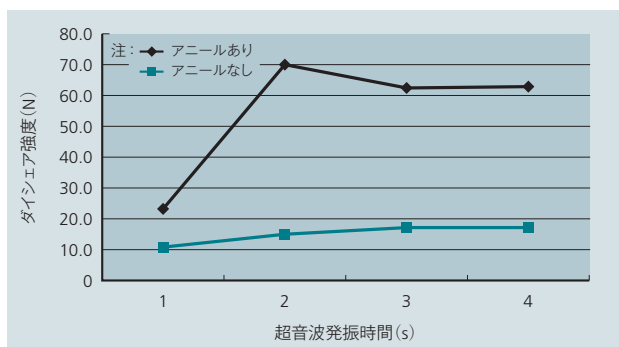


図10 常温超音波接合のダイシヤ強度
アニール処理の有無によってAuめっきバンプの硬度を変えたチップを用い、常温での超音波接合のダイシヤ強度を比較した結果を示す。

5. おわりに

ここでは、TEGの開発内容と、TEGを使ったソリューション事例として、接続性評価による実装技術、材料開発について述べた。

高密度実装で重要となる応力・発熱の課題に対して、応力・発熱解析用TEGを開発した。今後、さらなる高密度化に向け、チップの薄化加速やTSV (Through Silicon Via)を用いた接続などが実用化されていくと予測される。株式会社日立超LSIシステムズは、今回開発したTEGをこれらの開発に提供し、実装技術開発に貢献していく考えである。

参考文献

- 1) 社団法人電子情報技術産業協会：2007年度版日本実装技術ロードマップ (2007.6)
- 2) 村上：図解最先端半導体パッケージ技術のすべて、工業調査会 (2007.9)
- 3) 小金丸、外：ピエゾ抵抗テストチップと有限要素法解析を用いた樹脂封止に起因する半導体チップ表面の残留応力評価、エレクトロニクス実装学会誌 (2006.9)

執筆者紹介



高瀬 博行

1978年日立青梅電子株式会社入社、株式会社日立超LSIシステムズ デバイス事業本部 生産プロセスソリューションセンター プロセスソリューション部 所属
現在、実装TEGのマーケティングに従事
応用物理学协会会员



山邊 崇一

2004年株式会社日立超LSIシステムズ入社、デバイス事業本部 生産プロセスソリューションセンター プロセスソリューション部 所属
現在、実装TEGの新規開発・拡販に従事



小熊 広志

1987年株式会社日立超LSIエンジニアリング入社、株式会社日立超LSIシステムズ デバイス事業本部 生産プロセスソリューションセンター プロセスソリューション部 所属
現在、実装TEGのソリューションに従事



田辺 慎一

1981年日立マイクロコンピュータエンジニアリング株式会社入社、株式会社日立超LSIシステムズ デバイス事業本部 生産プロセスソリューションセンター プロセスソリューション部 所属
現在、発熱・応力TEGの新規開発・拡販に従事
応用物理学协会会员



佐藤 明

1985年株式会社日立超LSIエンジニアリング入社、株式会社日立超LSIシステムズ デバイス事業本部 生産プロセスソリューションセンター プロセスソリューション部 所属
現在、実装TEGの新規開発・拡販に従事
応用物理学协会会员



有賀 成一

1985年株式会社日立超LSIエンジニアリング入社、株式会社日立超LSIシステムズ デバイス事業本部 生産プロセスソリューションセンター プロセスソリューション部 所属
現在、実装TEGの新規開発・拡販に従事